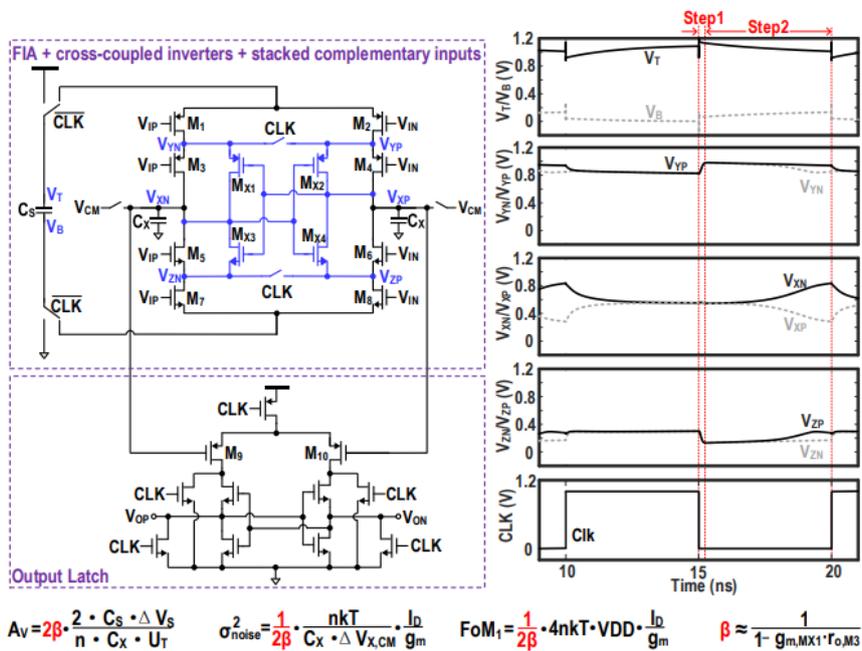


구조로 변경하여, 사용되는 current를 2배 더 재사용하여 전류를 4번 재사용하게 된다. 두 번째 달라진 점은, MX1~MX4로 구성된 positive feedback을 구성하여, M3~M6 으로 인한 signal path에 추가적으로 더 높은 gain을 가지는 signal path를 추가해 준 점이 있다.

제안하는 구조는 이전에 제시된 FIA 기반 구조 대비 current reusing으로 인해 2배의 gain을, positive feedback 구조로 인해 beta 만큼의 preamp gain을 더 얻게 된다. 이로 인해, 제안하는 구조의 gain 및 noise, FoM이 모두 2*beta만큼 향상되게 된다. 이러한 향상분에 대한 설명은 [그림 2] 아래부분의 수식에서 확인할 수 있다.



β is the gain boosting factor created by the cross-coupled inverters with positive feedback
 Fig. 2. Proposed comparator and the simulated transient waveforms with $\Delta V_{IN} = 0.05mV$ at $V_{CM} = 0.55V$ and $V_{DD} = 1.1V$.

[그림 2] 논문에서 제안하는 clocked comparator 구조

제안하는 comparator의 상세한 동작을 살펴보자. 모든 동작은 N/PMOS가 대칭적으로 동작하므로, PMOS의 동작만 설명하겠다. 제안하는 comparator의 동작은 두 개의 단계에 걸쳐 이루어진다. 첫번째 동작은 [그림 2]에 'step 1'으로 표기된 구간으로, 주로 M1/M2가 동작하는 구간이다. 이 구간에서 M3/M4는 M1/M2에 비해 작은 overdrive 전압으로 인해 출력단에 전류를 잘 전달하지 못하고, M1/M2의 동작으로 인해 VYN/VYP node가 빠른 속도로 올라가게 된다. VYN/VYP node의 움직임으로 인해 M3/M4 및 MX1/MX2가 살

아나기 시작할 무렵, 'step 2' 로 표기된 두 번째 동작 구간이 시작된다.

'step 2' 구간에서는, M3/M4 뿐만 아니라 MX1, MX2로 인해 발생하는 positive feedback 이 differential pair의 전류 차이를 더욱 증가시켜, VXN 및 VXP로 전달되는 전류의 차이를 더욱 크게 만들어 준다. 이러한 동작을 통해, preamp의 gain은 크게 증가하게 된다.

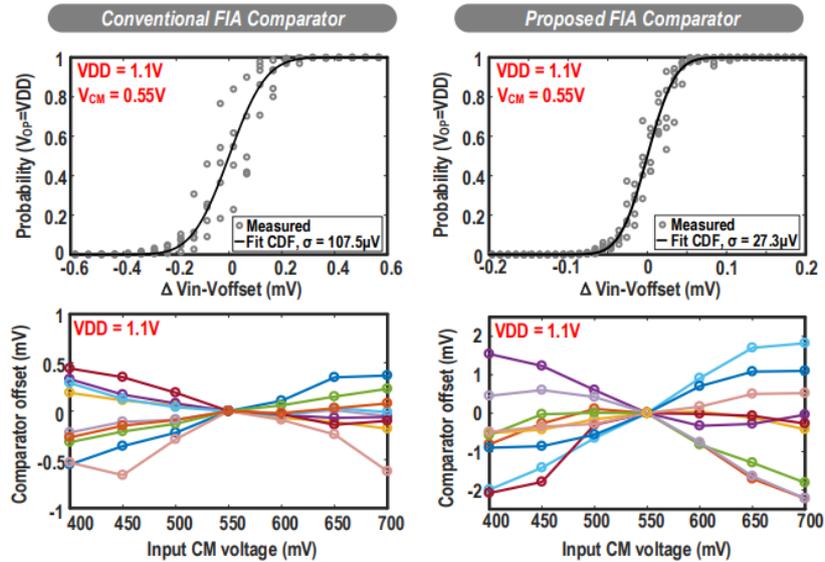


Fig. 4. Measured cumulative probability distribution of the conventional FIA comparator (with 2 times current reused) and the proposed stacked FIA comparator with cross-coupled feedback inverters; and comparator offsets from 9 samples.

[그림 3] conventional FIA comparator (그림 1)과 제안하는 comparator의 비교 측정 결과

[그림 3]은 제안하는 comparator 및 [그림 1]의 conventional comparator의 측정 결과를 보여준다. 제안하는 구조는 높은 pre-amplifier gain으로 인해 conventional 구조에 비해 더 좋은 noise 특성을 보여준다. 상세하게는, conventional과 proposed comparator의 input referred noise는 각각 107.5 uV, 27.3uV이고, power consumption per comparison은 0.21pJ, 0.25pJ로, 제안하는 comparator의 전력소모 대비 좋은 noise 성능을 보여준다. 다만, 제안하는 구조의 offset은 conventional에 비해 나쁜 특성을 보여주는데, 이는 제안하는 comparator의 입력 단 MOSFET 크기가 conventional 대비 사이즈 제한으로 인해 작아져서 그렇다.

[그림 4]는 제안하는 comparator을 이전의 clocked comparator과 비교한다. 제안하는 work은 제안하는 high-gain energy-efficient FiA 구조로 인해 다른 work 대비 좋은 FoM1

(=energy x noise power) 과 FoM2 (=FoM1 x CLK-OUT delay) 성능을 보여준다.

마지막으로, 본 논문에 대해 드는 의문점을 정리해 보자면, 본 논문에서는 positive feedback을 이용하여 preamp gain을 증가시켰는데, 이러한 gain을 증가시키는 데에 M3, M4, M5, M6 MOSFET은 오히려 방해가 되는 것이 아닌가 하는 의문이 든다. 추후 저널 등에서 이러한 점에 대한 상세한 설명이 있다면 좋을 것으로 보인다.

	H. S. Bindra JSSC'18 [3]	H. S. Bindra ISSCC'22 [4]	X. Tang JSSC'20 [5]	H. Zhuang CICC'23 [6]	This Work	
Architecture	Dynamic Bias	Dynamic Bias	Standard FIA	Stacked FIA	Standard FIA	Stacked FIA
Technology (nm)	65	22	180	28	180	180
Supply Voltage (V)	1.2	0.8	1.2	0.9	1.1	1.1
Clock Frequency (MHz)	50	1000	N.R.	N.R.	100	100
Energy Per Comparison (pJ)	0.034	0.075	0.98	0.48	0.21	0.25
Noise (μ V)	400	174	46	38	107.5	27.3
CLK-OUT Delay (ns)	1.2	0.28	18	N.R.	2.44	2.06
Area (μ m ²)	125	57	9800	1600	3024	3550
FoM1 (nJ- μ V ²)	5.44	2.27	2.07	0.69	2.43	0.19
FoM2 (nJ- μ V ² -ns)	6.52	0.64	37.26	N.R.	5.9	0.38

FoM1= Energy x Noise Power

FoM2= Energy x Noise Power x CLK-OUT Delay

Fig. 6. Measurement setup for CLK-OUT delay and comparison with the state of the art.

[그림 4] comparison table

Session 13 Analog Sensor Interfaces

“Analog Sensor Interfaces” 라는 주제로 만들어진 이번 CICC의 13번 session에서는 총 4편의 논문 (invite 1편, regular 2편)이 발표되었다. Regular 논문으로 발표된 3편의 논문은 각각 low-power fast-startup MEMS gyroscope, low-noise capacitive accelerometer with self-calibration technique, highly linear sensor interface with DSM 등의 다양한 주제를 가지고 발표되었다. 이번 리뷰에서는 low-noise capacitive accelerometer with self-correction technique을 주제로 발표된 13-2번 논문을 살펴보겠다.

13-2

13-2번 논문은 capacitive sensor front-end를 통해 acceleration을 측정하는 sensor을 제안하였다. 특히, 이 논문에서 제시한 주요 technique은 sensor front-end의 variation으로 인해 생기는 여러 non-ideality를 순차적으로 correction 하는 technique으로, 주요한 non-ideality와 이의 원인을 잘 제시하고 각각에 대한 correction 방법 및 operating sequence 등을 제시하였다.

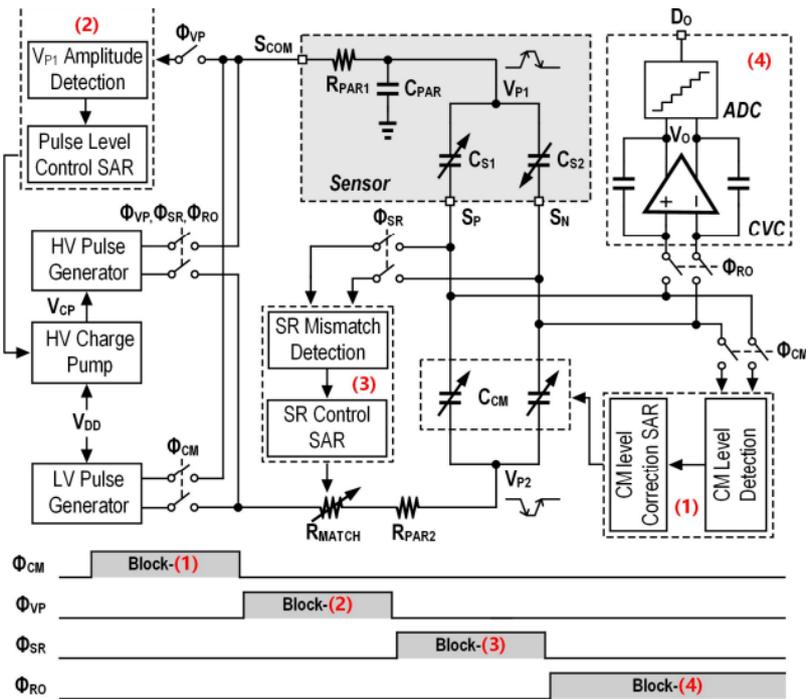


Fig. 2. Proposed interface IC using high-voltage pulse excitation for the MEMS Capacitive accelerometer.

[그림 1] 논문에서 제안하는 system 구조 및 operating sequence

[그림 1]은 논문에서 제안하는 system 구조 및 operating sequence 를 설명한다. 논문에서 제안하는 system은 sensor front-end와 주요한 4개의 block으로 구성되어 있다. 4개의 block 중 (4)는 capacitance-to-voltage conversion 및 A/D conversion 을 담당하는 block으로, 본 논문에서 주요하게 다루지 않는 부분이다. (1)~(3)이 본 논문에서 주요하게 제안하는 block 이다. (1)은 sensor front-end C_{s1} 및 C_{s2} 의 변화로 인해 common-voltage 에 생기는 변화를 common capacitor C_{cm} 을 통해 correction 하는 block 이고, (2)는 sensor front-end의 parasitic cap으로 인해 sensor driving pulse의 level이 달라지는 것을 correction 하는 block 이다. (3)은 sensor driver - capacitor 간 routing line 의

parasitic resistance 의 변화로 인해 V_{p1} 과 V_{p2} 의 slew rate 이 달라져 common 전압에 생기는 변화를 correction 하기 위한 block 이다. 각 block 의 상세한 동작은 [그림 2] 에 설명되어 있다.

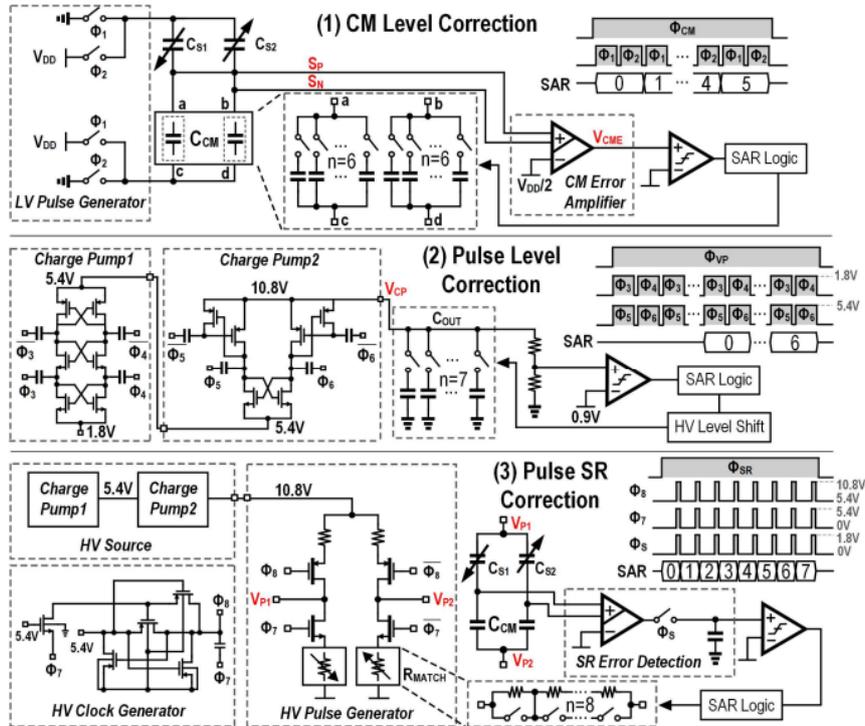


Fig. 3. Circuit implementations of the main function blocks.

[그림 2] 제안하는 correction technique

[그림 2]는 제안하는 correction technique을 보여준다. 각 technique은 capacitor 또는 resistor를 통해 common level (1) / pulse level (2) / pulse slew rate (3) 을 조절하는데, 이는 모두 동일한 방법을 사용하여 correction을 진행한다. 사용한 방법은 SAR logic을 사용하는 방법으로, 이 방법을 통해 각 correction 할 대상은 SAR ADC와 유사하게 N번 (=6~8번)의 cycle을 돌며 목표 값에 도달하게 된다.

[그림 3]은 제안하는 SAR-based correction을 통해 correction 된 값들의 측정 결과를 보여준다. 먼저, (1)을 통해 correction 된 CM level의 변화는 0.5V 에서 0.06V로 줄어들었다. 또한, (2)를 통해 pulse level의 변화는 2.3V에서 0.2V로 correction 되었고, (3)을 통해 pulse의 slew rate mismatch는 50%에서 10%로 낮아졌다. 이러한 correction을 통해 [그림 3] 오른쪽 아래에 보이는 것과 같이 slew rate mismatch로 인한 common level의 offset이 사라졌고, 이로 인한 signal leakage도 제거되었다.

[그림 2]에서 제안된 SAR 방식의 correction은 [그림 3]에서 측정 결과를 통해 적절히

동작하는 것을 증명했다. 다만, 제안된 방식에 대해 몇 가지 아쉬운 점은 다음과 같다. 먼저, 제안된 correction 방식은 너무 일반적인 방식으로, novelty가 부족하다. 두 번째로, 어떤 variation을 correction 할 때, 필요한 correction의 정확도와 variation factor가 결론적인 성능에 미치는 영향 등이 제시되어야 하는데 그러한 점이 부족하다.

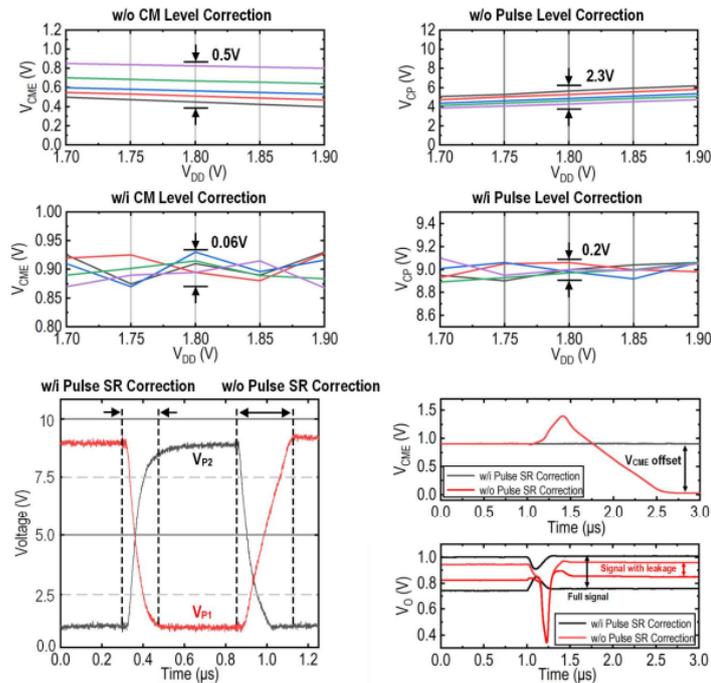


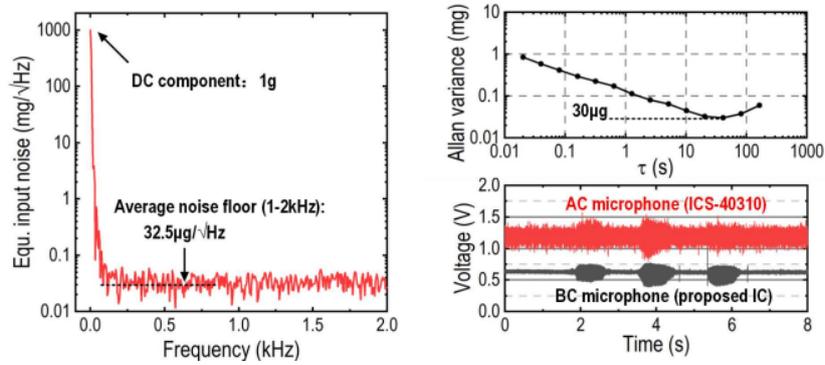
Fig. 4. Measurement results of the main function blocks.

[그림 3] correction circuit 측정 결과

[그림 4]는 제안하는 회로의 noise floor 측정 결과 및 microphone을 이용한 측정 결과와 comparison table을 보여준다. [그림 4]의 위쪽에서 볼 수 있듯이, 제안하는 회로는 높은 excitation voltage로 인해 낮은 noise floor를 달성한 것으로 보이나, 높은 excitation voltage 외에 noise가 낮아진 특별한 이유가 없어 이에 대한 설명이 추가되면 좋을 것이다. 또한, [그림 4]의 오른쪽 위에서 볼 수 있듯이, 제안하는 회로를 이용한 microphone이 conventional microphone보다 더 신호를 잘 잡아내는 것을 보여준다. 다만, 이 부분에서도 conventional microphone이나 제안하는 회로를 이용한 microphone 등에 대한 정보가 매우 부족하다.

[그림 4]의 아래에 comparison table을 보면, 제안하는 work은 낮은 면적과 낮은 noise floor를 달성하여, 면적과 전력소모, noise를 고려한 FoM 측면에서 높은 성능을 가진다. 다만, 본 논문에서 강조하는 성능과 제안하는 correction technique 사이에 연관성이 부족

해 보이며, 이의 연관성이 좀 더 설명되면 본 논문에서 제시한 technique의 필요성이 조금 더 강조될 것으로 보인다.



	ISSCC'19 [1]	JSSC'20 [2]	JSSC '23 [3]	JSSC'20 [4]	JSSC'17 [5]	This work
Process	0.13μm, 0.35μm	0.18μm	0.18μm	0.18μm	0.35μm	0.18μm
Supply voltage (V)	1.4/1.8/12	1	1.8	1.8	1.5	1.8
Power (μW)	1/000	0.252	216	81	2/00	80
Input range (g)	±0.55	±5	±6	±8	±30	±4.5
Input bandwidth (Hz)	400	50	10000	10000	20	2000
Noise floor (μg/√Hz)	0.022	290	81	900	1	32.5
Sensor size (mm ²)	49	6.76	0.64	0.18	20	0.64
FoM* (μW·μg·mm ² /Hz)	916.3	69.9	112.0	131.2	12074.7	37.2

$$*FoM = \frac{\text{Power} \times \text{Noise floor} \times \text{Sensor size}}{\sqrt{BW}}$$

[그림 4] noise / demo measurement & comparison table

저자정보



명예기자 임규완

- 소 속 : KAIST 전기및전자공학과 박사과정
- 연구분야 : Display Driver IC, Readout IC
- 이 메 일 : limkw@kaist.ac.kr
- 홈페이지 : <https://ICdesignlab.net>

2024 IEEE CICC Review

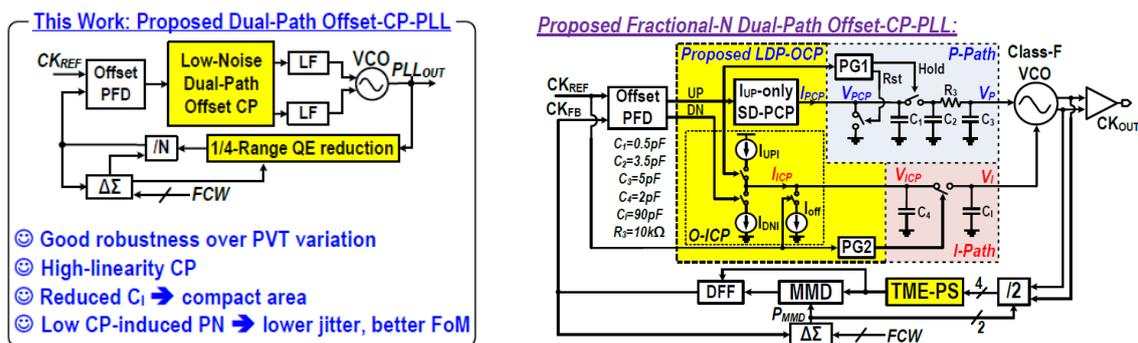
경북대학교 전자전기공학부 박사과정 여성일

Session 33. Timing References

이번 CICC 2024 의 Session 33 에서는 Timing References 라는 주제로 총 3 편의 논문이 발표되었다. RC Oscillator 와 PLL, RC Frequency Reference 에 대한 연구가 소개되었다.

33-1

이 논문은 Chinese Academy of Sciences에서 발표한 논문으로, high-speed transceiver나 data converter에 사용되는 low jitter fractional-N (FN) phase-locked loop (PLL)에 관련된 논문이다. 기존의 회로들은 낮은 jitter를 달성하였지만 PVT 변동에 민감하거나 in-band phase noise (PN)가 있다는 단점이 있었다. 그림 4에서 볼 수 있듯이 이를 해결하기 위해 이 논문에서는 dual-path topology를 사용하여 in-band PN과 면적을 줄였고 timing-margin-enhanced phase switch (TME-PS)를 도입하여 선형성과 CP-noise를 줄일 수 있었다.

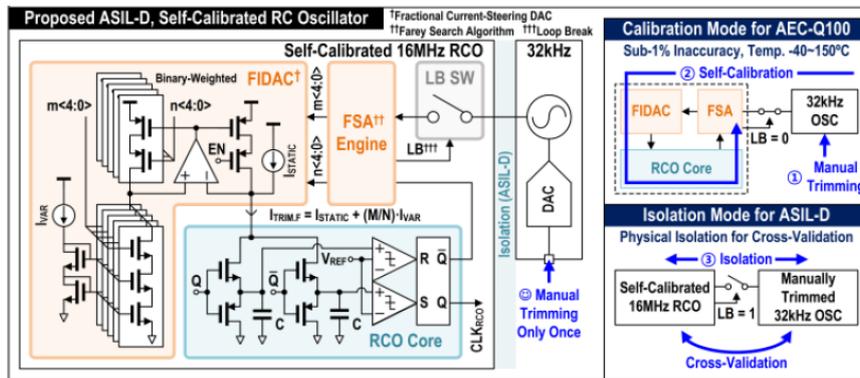


[그림 4] 제안하는 구조의 Conceptual diagram과 Architecture

33-2

이 논문은 KAIST 에서 발표한 논문으로, 자동차의 AEC-Q100 Grade 0 및 ASIL-D 표준을 충족하는 RC Oscillator를 소개하고 있다. 이 표준들을 통과하기 위해서는 넓은 온도 범위

에서 1% 이하의 부정확도를 달성해야한다. 기존 회로들은 이를 위해 high-bit, multi-point trimming을 도입하였는데 이러한 방식은 비용적인 측면에서 문제가 된다. 이 논문은 Farey search algorithm (FSA)-based calibration를 사용하여 수동 trimming 없이 self-calibration를 통해 -40°C에서 150°C의 넓은 온도 범위에서 1% 미만의 부정확도를 보여주고 있다.



[그림 5] 제안하는 구조의 동작 원리와 Die photo

33-3

이 논문은 Shanghai Jiao Tong University 에서 발표한 논문으로, RC Frequency Reference 에 관련된 논문이다. 기존의 RC Frequency Reference 는 온도 변화에 따른 영향을 줄이기 위해 복잡한 기술들이 필요로 하였다. 이 논문에서는 modulated capacitor 를 이용하여 온도 변화에 따른 영향을 없애고 die-to-die error removal technique 또한 사용하여 성능을 개선할 수 있었다.

저자정보



명예기자 여성일

- 소 속 : 경북대학교 전자전기공학부 박사과정
- 연구분야 : DC-DC Converter
- 이 메 일 : sungil1020@knu.ac.kr
- 홈페이지 : <https://sites.google.com/view/icslab>

2024 IEEE CICC Review

KAIST 전기및전자공학과 박사과정 신현우

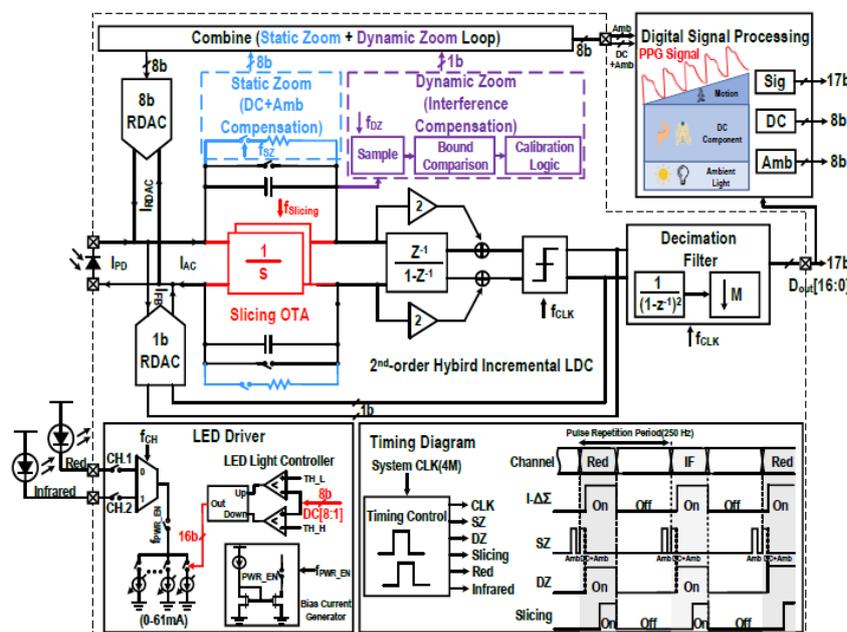
Session 18 Power Efficient and Application-Oriented ADCs

#18.2 – Fudan University, Shanghai, China

본 논문에서는 highly sensitive optical sensor를 위한 고해상도 light-to-digital converter(LCD)를 제안하였습니다. Application에서 요구하는 수준의 매우 넓은 dynamic range(DR)를 달성하기 위해서, 본 논문은 current input의 incremental zoom architecture를 이용하였습니다.

Zoom architecture의 coarse conversion을 이용하여 DC 성분인 ambient light를 detection하고, fine conversion에서 AC current를 detection 함으로써 LCD가 매우 넓은 범위의 input current를 detection 할 수 있습니다. 또한, dynamic zoom에 비해 입력 범위가 매우 제한되는 incremental zoom의 문제를 해결하고자 tracking zoom 방식을 사용하였습니다 [1]. 이를 통해 LCD의 DR를 더욱 향상시켰습니다.

Fine DSM의 loop-filter는 anti-aliasing property를 위해 first-stage에는 continuous-time (CT) integrator를, process-voltage-temperature variation robustness를 위해 second-stage에는 discrete-time (DT) integrator를 사용하였습니다. 또한, OTA slicing 기법을 통해서, incremental ADC의 CT integrator에 사용되는 amplifier의 전력소모를 2배 감소시켰습니다 [2].



본 논문에서는 current input의 incremental zoom ADC에 current input tracking zoom을 통해 140 dB DR라는 state-of-the-art 성능을 달성하였고, OTA slicing 기법을 이용하여 LCD의 power efficiency를 극대화했습니다.

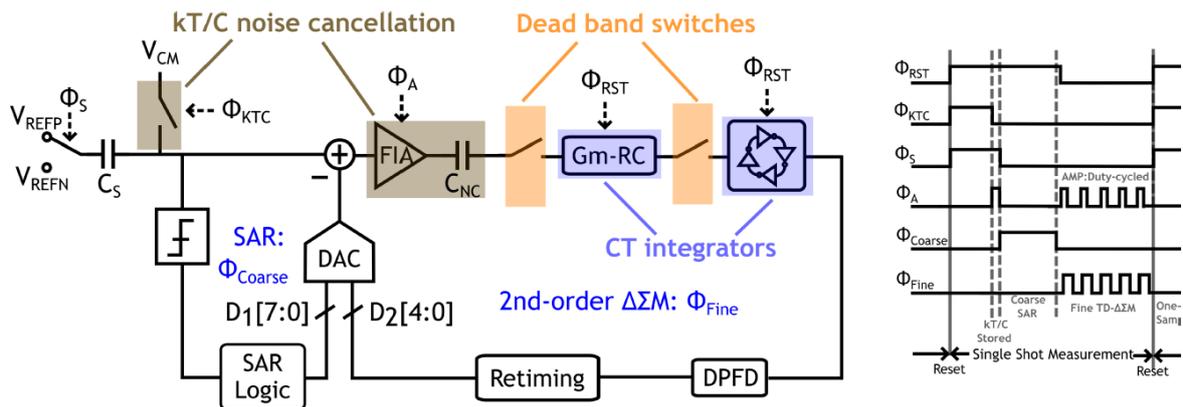
#18.3 – Peking University, Beijing, China

Human-robot interface와 같은 IoT application이 발전함에 따라 high-resolution, low-latency, low-power capacitance-to-digital converter(CDC)에 대한 수요가 계속해서 증가하고 있습니다. 본 논문은 보다 높은 해상도를 위해 time-domain (TD) quantizer 기반의 incremental zoom architecture를 제안하였습니다. 이때, 2nd-order noise shaping과 kT/C noise cancellation 기법을 이용하여, 기존 TD quantizer 기반의 zoom CDC [3-4] 보다 더 높은 해상도를 달성하였습니다.

본 논문에서는 2nd-order loop-filter 구성을 위해 Gm-C integrator와 VCO quantizer를 이용하였습니다. 이때, Gm-C integrator의 capacitor에 series resistor를 연결하여, 매우 간단하게 loop-filter의 feedforward path를 구현하였고, 이를 통해 loop-filter의 stability를 개선하였습니다. 또한, 본 논문에서는 loop-filter 구현을 위해 CT domain에서 동작하는 integrator를 사용하였지만 CT DSM의 excess loop delay로 인한 stability 저하를 피하기 위해 dead band operation을 이용하여 loop-filter가 discrete-time circuit처럼 동작할 수 있도록 하였습니다.

또한, 입력 capacitance를 sampling 하는 과정에서 발생하는 sampling noise로 인한 CDC의 해상도 한계를 극복하고자 output series canceling 방식의 kT/C noise cancellation [5] 기법을 사용하였습니다. 이때, noise cancellation의 power efficiency를 높이기 위해 floating inverter amplifier (FIA)를 사용하였고, zoom architecture의 fine conversion에서 FIA를 gain stage로 활용하여 fine DSM에서 발생하는 noise를 감소시켰습니다.

본 논문에서는 Gm-RC integrator, dead band operation, kT/C noise cancellation 기법을 활용하여 state-of-the-art 수준의 낮은 latency와 높은 energy efficiency를 갖는 high-resolution CDC 구조를 제안하였습니다.

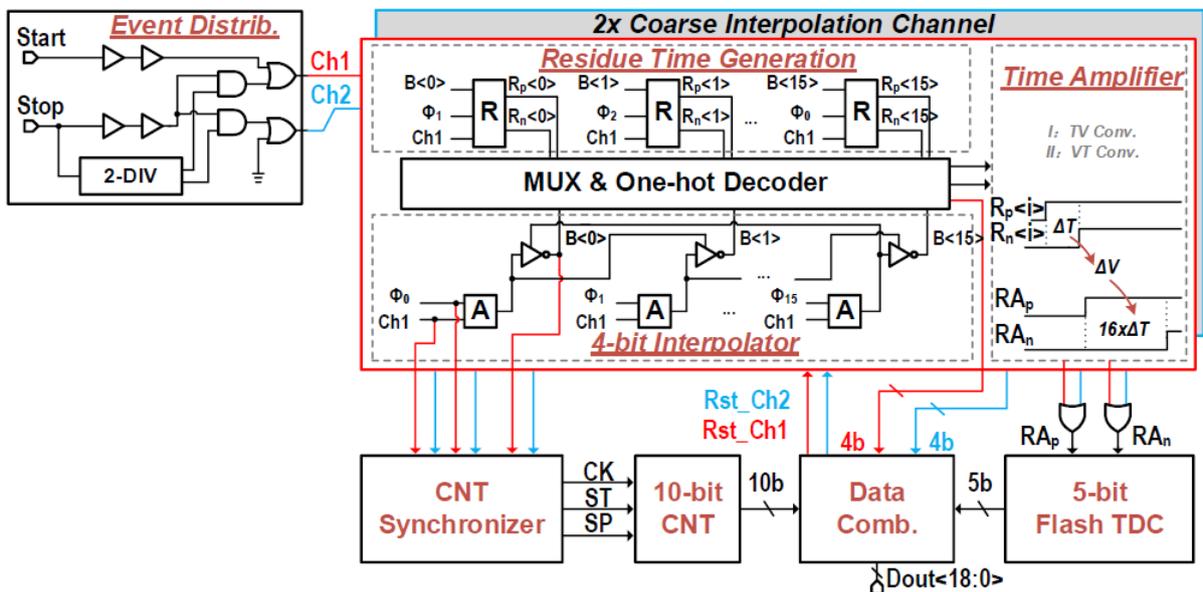


#18.7 – Xidian University, China

SPAD-based dToF 센서를 설계하는 데에 있어서, pipe-up distortion을 줄이기 위해 multi-event와 low dead time을 갖는 TDC를 설계하는 것이 중요합니다. 본 논문에서는 Start channel interpolator와 Stop channel interpolator를 번갈아 재사용하는 기술을 활용

하여 고속의 multi-event TDC 달성하였습니다. 그리고, 고해상도의 TA(Time-Amplifier)를 통한 coarse-fine interpolation 구조와 ultra-low static phase error DLL을 통해 높은 해상도를 달성할 수 있었습니다.

Circuit implementation 면으로는, interpolator에 D-flipflop 대신 latch를 사용함으로써 sensitivity와 symmetry를 확보하였습니다. TA로는 전류원이 capacitor를 충-방전하는 open-loop TA를 활용하여 높은 선형성과 넓은 입력 범위를 확보하였습니다. 그리고 fine Flash TDC로 기존의 folding based gate delay Flash TDC에서 벗어나 differential VCDC를 time quantization step으로 활용함으로써 대칭성을 확보하였고 선형성을 높일 수 있었습니다. 또한, DLL의 static phase error를 효과적으로 감소시키기 위해서, DLL Phase-locked loop의 PFD 앞 단에 SR-latch based TA를 삽입하였습니다.



정리 드리자면, 본 논문은 interpolator 재활용 기술을 활용하여 무제한의 event number를 수용하고 80 MS/s의 속도로 동작하는 TDC를 개발하였습니다. 그리고 high linear TA를 기반으로 한 two-step 구조와 static phase error를 줄인 DLL을 통해 TDC의 선형성을 향상시켰습니다. 그 결과, 7.9 ps의 분해능과 2033.5 ns 이상의 동적 범위를 달성하였습니다.

참고문헌

- [1] B. Gonen et al., "A Dynamic Zoom ADC With 109-dB DR for Audio Applications," IEEE Journal of Solid-State Circuits, vol. 52, no. 6, pp. 1542-1550, Jun. 2017.
- [2] P. Vogelmann, "A 1.1mW 200kS/s incremental $\Delta\Sigma$ ADC with a DR of 91.5dB using integrator slicing for dynamic power reduction," in Proc. International Solid-State Circuits Conference (ISSCC), 2018, pp. 236-238.
- [3] Z. Shen et al., "A 9.7fJ/Conv.-Step Capacitive Sensor Readout Circuit with Incremental Zoomed Time Domain Quantization," in Proc. IEEE Custom Integrated Circuits Conference (CICC), 2023, pp. 1-2.
- [4] H. Li et al., "A 0.39-mm² Stacked Standard-CMOS Humidity Sensor Using a Charge-Redistribution Correlated Level Shifting Floating Inverter Amplifier and a VCO-Based Zoom CDC," IEEE Journal of Solid-State Circuits, vol. 56, no. 2, pp. 435-448, Feb. 2024.
- [5] J. Liu et al., "A 13-bit 0.005-mm² 40-MS/s SAR ADC With kT/C Noise Cancellation," IEEE Journal of Solid-State Circuits. Vol. 55, no. 12, pp. 3260-3270, Dec. 2020.

저자정보



신현우

- 소 속 : KAIST 전기및전자공학과 박사과정
 - 연구분야 : High Speed ADC
 - 이 메 일 : shin6223@kaist.ac.kr
 - 홈페이지 : <https://msicl.kaist.ac.kr>
-

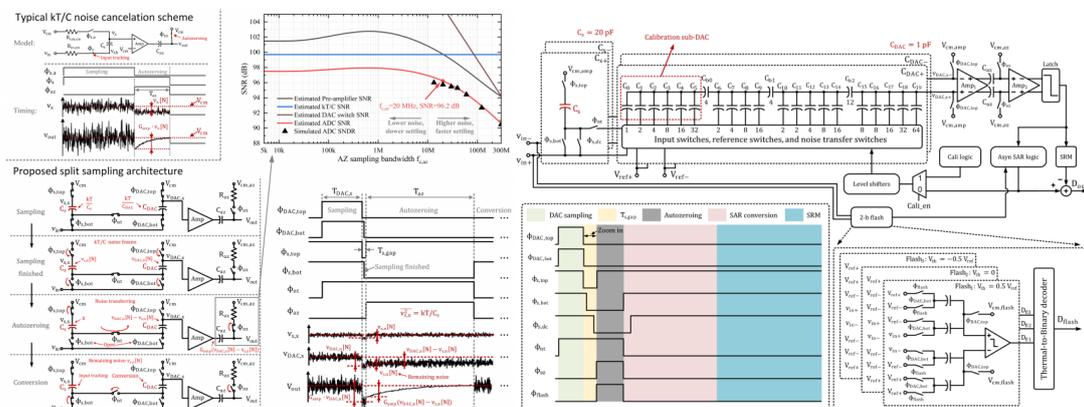
2024 IEEE CICC Review

서울대학교 전기정보공학부 박사과정 박현준

Session 24 High-Resolution ADCs

이번 2024 IEEE CICC의 Session 24은 High-Resolution ADC라는 주제로 총 8편의 논문이 발표되었다. 이 세션에서는 고해상도를 제공하는 기존의 ADC topology의 문제점을 해결하는 다양한 방식의 ADC들이 소개되었다.

#24-1 고해상도 SAR ADC에서는 kT/C 노이즈가 주요 병목 현상으로 작용하며, 이를 해결하기 위해 큰 커패시터를 사용하는 경우 면적과 전력 소모가 증가한다. 본 논문에서는 스플릿 샘플링(SS) 기술과 SRM(통계 잔류 측정) 보조 자가 보정 기능을 갖춘 16b SAR ADC를 제안한다. 스플릿 샘플링(SS) 기술은 샘플링과 변환 작업을 분리하여 작은 DAC와 큰 샘플링 커패시터를 각각 사용한다. 작은 DAC는 전력 소모를 줄이고, 큰 샘플링 커패시터는 kT/C 노이즈를 줄인다. 샘플링된 노이즈 차이는 증폭되어 AZ(오토제로) 커패시터에 저장되고, 이를 통해 작은 DAC의 kT/C 노이즈가 제거된다. SRM 보조 자가 보정은 비트 사이클링 후 래치가 결정을 계속 내리도록 하여 잔류 전압을 추정하고 ADC 출력에서 이를 빼서 SNDR를 향상시킨다. 이로 인해 고해상도에서 필요한 보정이 신속히 이루어진다. 오토제로(AZ) 단계는 입력 신호가 추적되지 않기 때문에, AZ 단계가 연장되어 낮은 AZ 대역폭을 가능하게 하고 노이즈 엘리어싱을 완화한다. 제안된 ADC는 40nm 공정으로 제작되었으며, 5MS/s에서 93.7dB의 SNDR를 달성하였다. 전체 전력 소모는 5.31mW이며, 높은 Schreier FoM(180.4dB)을 기록하였다.



[그림 1] 24-1 Split Sampling Concept 및 Top Architecture

#24-2 노이즈 shaping SAR ADC는 높은 해상도와 저전력 무선 링크를 위한 유망한 아키텍처로 간주되고 있다. 그러나 NS-SAR ADC는 PVT 변동에 민감하며, 입력 구동 문제와 높은 전압 공급 필요성 등의 설계 문제를 겪는다. 기존의 버퍼-인-루프(BIL) 아키텍처는 높은 전압 공급을 필요로 하며, kT/C 노이즈 제거 방법은 추가 타이밍 오버헤드를 필요로 한다. 이 논문에서는 AILB 및 NLRS를 사용하여 해당 문제를 해결한다. 증폭기 재사용 인루프 버퍼링(AILB)은 입력 버퍼링과 잔류 추출을 비교기 프리앰프에 통합하여 높은 전압 공급과 추가 노이즈 패널티 없이 kT/C 노이즈 감소를 달성한다. 샘플링 동안 CDAC가 입력 신호를 샘플링하지 않고, 프리앰프 입력에 AC 커플링하여 오프셋 커패시터에 증폭된 신호를 샘플링한다. NTF leakage reshaping (NLRS) technique은 소스 팔로워(SF) 출력의 음성 피드백과 양성 피드백을 프리앰프 입력 및 SF 입력으로 다시 전달하여, EF 오픈 루프 증폭기의 이득 변동에 민감하지 않도록 한다. 이 기술은 AILB 구조 위에 몇 개의 스위치와 커패시터만 추가하여 구현되며, 전력 효율에 거의 영향을 미치지 않는다. 제안된 NS-SAR ADC는 65nm CMOS 공정으로 제작되었으며, 8MSPS에서 126.8uW의 전력을 소비하면서 82dB의 SNDR을 달성하였다.

#24-3 $\Delta\Sigma$ -ADC는 고해상도와 전력 효율을 위해 오버샘플링 및 노이즈 shaping 기술을 사용한다. 그러나 free-running $\Delta\Sigma$ ADC는 입력과 출력 샘플 간의 일대일 매핑을 제공할 수 없기 때문에 $\text{I}\Delta\Sigma$ -ADC가 등장하였다. 기존의 $\text{I}\Delta\Sigma$ -ADC는 고해상도를 달성할 수 있지만, 스위치드 커패시터 회로는 입력 드라이버에 높은 요구 사항을 부과하여 ADC 자체보다 더 많은 전력을 소모할 수 있다. 이 논문에서 제안하는 Continuous-time $\text{I}\Delta\Sigma$ ADC는 저항성 입력 임피던스를 통해 이러한 문제를 해결할 수 있다. 본 논문에서는 확장 카운팅을 사용하여 비동기 SAR을 통해 해상도를 개선한 연속 시간 $\text{I}\Delta\Sigma$ ADC를 제안한다. RC 적분기를 사용하여 모듈레이터를 구현하고, 가상 접지에서 비이상성을 감소시키기 위해 네거티브-R을 사용한다. 또한, 저항성 NRZ-DAC를 사용하여 클록 지터의 영향을 줄이고, 복잡한 디지털 회로 없이 FIR-DAC를 구현한다. SAR-ADC는 루프 필터 외부에서 작동하여 양자화 노이즈만 처리하므로 성능에 영향을 주지 않는다. 소스 팔로워(SF) 출력의 음성 피드백과 양성 피드백을 프리앰프 입력 및 SF 입력으로 다시 전달하여 EF 오픈 루프 증폭기의 이득 변동에 민감하지 않도록 하는 NTF NLRS 기술 역시 사용되었다. 제안된 연속 시간 $\text{I}\Delta\Sigma$ ADC는 55nm CMOS 공정으로 제작되었으며, 188.6 μ W의 전력을 소모하면서 95.2dB의 SNDR과 175.4dB의 FoMSNDR을 달성하였다.

#24-4 많은 IoT 애플리케이션에서는 고해상도 DSM ADC가 필요하다. 연속 시간 토폴로지는 구동이 용이하고 앨리어싱을 제거하는 기능을 제공하지만, kHz 수준 대역폭에서 M Ω 범위의 높은 저항을 요구한다. 이는 큰 실리콘 면적을 소모하고 분포 파라미터 기생 커패시턴스를 도입하여 루프 전달 함수에 부정적인 영향을 미친다. 이를 해결하기 위해

높은 저항 폴리 저항을 사용할 수 있지만, 이는 특수한 공정에서만 사용할 수 있다. 본 논문에서는 높은 저항을 사용하지 않고 입력 저항을 줄이기 위해 크로스-RC 필터를 사용한다. 또한, MSB-패스 양자화 과정에서 FIFO 기반 프론트 엔드 카운터와 5-상태 4-레벨 MSB-패스 비교기를 사용하여 속도를 개선한다. 새로운 데이터에 더 높은 가중치를 부여하여 양자화 정확도를 향상시키고, FIFO의 깊이를 줄여 루프 지연을 감소시킨다. 거기에 더해 비교 결과를 FIFO가 가득 차기 전에 생성하여 양자화 속도를 높인다.

제안된 CT-DSM은 180nm CMOS 공정으로 제작되었으며, 20kHz 대역폭 내에서 107.3dB의 SNDR을 달성하면서 470 μ W의 전력을 소모하였다.

#24-5 단일 루프 CT-DSM은 80dB 이상의 SNDR 및 10MHz 이상의 대역폭에서 높은 전력 효율을 보이지만, 노이즈 셰이핑 양자화기(NS-QTZ)를 사용하는 경우 양자화 및 통합을 직렬로 수행하여 샘플링 주파수가 증가할 때 제약이 발생한다. 또한, CT MASH DSM은 비이상적인 인터스테이지 연결과 양자화 잡음(QN) 누설로 인해 성능이 저하된다. 본 논문은 두 개의 개별 CT DSM을 파이프라인 방식으로 결합하여 중요한 노이즈 캔슬레이션 프로세스를 제거하고 ISG를 활용하여 이문제를 해결한다. 제안된 DSM은 1단계의 전체 양자화 오류를 추출하여 2단계의 입력으로 사용하며, 두 디지털 출력을 단순히 결합하여 디지털 노이즈 캔슬레이션을 수행한다. 또한, 1단계 DSM의 입력을 사용하여 형성된 QN을 추출하는데, 이는 과샘플링 특성으로 인해 신호 누설이 작다. 따라서 일반적인 MASH에서 요구되는 아날로그 지연 블록을 피할 수 있다. 2단계 DSM은 형성된 QN만 처리하므로 비선형 오류가 포함되지 않으며, 입력 신호 구성 요소가 없어 선형성 요구 사항이 완화된다.

#24-6 고정밀 저전력(ULP) ADC는 생체의료 및 IoT 제품에서 중요한 역할을 하므로 높은 수요가 있다. 그러나 1 μ W 이하의 전력으로 16비트 해상도를 달성하는 것은 여전히 큰 도전 과제이다. 노이즈 셰이핑(NS) SAR ADC는 대역 내 양자화 노이즈를 효과적으로 줄이고 높은 에너지 효율을 달성할 수 있지만, 잔류 증폭기(RA)를 사용하는 파이프라인 버전은 설계 요구사항을 완화할 수 있다. 이 논문에서는 이를 이용하여 높은 DC 이득과 에너지 효율을 위해 두 단계 부유 인버터 증폭기(FIA)에 레벨 시프팅 네트워크(LSN)를 삽입한 CECLS RA를 제안한다. 이 접근법은 기존 CLS의 대역폭 감소 및 전하 공유 효과를 피하면서 에너지 효율을 높인다. 또한, 동적 동작 특성을 가진 FIA는 OTA보다 에너지 효율적이며 링 증폭기보다 안정성이 향상된다. 두 번째 증폭 단계에서 RA의 구동 능력을 강화하기 위해 DBB 기술을 적용하여 증폭기의 임계 전압 증가를 완화한다. 또, 프론트엔드 5비트 SAR ADC, 7.75배 RA, 백엔드 6비트 2차 NS SAR ADC로 구성된 파이프라인 구조를 사용하여 전력 소모를 최소화하고 높은 DC 이득을 달성한다.

#24-7 스마트 센서와 생체의료 프론트엔드의 급속한 발전으로 인해 고정밀, 고에너지 효율의 ADC가 요구된다. 24-1과 비슷하게 본 논문에서는 kT/C 노이즈를 피하기 위해 1단계에서 CT-SAR을 사용하고, 페루프 잔여 증폭을 위해 FIA 기반의 잔여 증폭기(RA)를 사용하며, 백엔드 단계로 2차 NS-SAR을 사용한다. 이 시스템은 완전 동적으로 작동하며, 대역폭에 따라 전력이 스케일링된다. 정확한 인터스테이지 게인을 제공하며, 변동하는 입력 신호를 처리할 수 있도록 2단계 FIA를 채택하여 높은 DC 게인을 달성하고 전력 소모를 최소화한다. 또한, DC 신호 처리를 가능하게 하고 오프셋 및 깜빡임 노이즈를 제거하기 위해 RA 출력 후에 초퍼를 추가한다. 7비트 DAC, 참조 스케일링 커패시터(CP), 3경로 스트롱암 래치 비교기를 포함한 2차 수동 NS 루프 필터 또한 사용하여 노이즈 전송 함수(NTF)를 최적화한다.

#24-8 센서 SoC에서 다중 센서 채널을 다중화하려면 고해상도 중속도 ADC가 필요하다. 연속 시간(CT) IADC는 큰 신호 슬루잉에서 덜 영향을 받고 저항성 입력을 통해 프리앰프의 구동 능력을 완화할 수 있다. 그러나, CT IADC는 메모리를 지우기 위한 간헐적 리셋으로 인해 성능 저하 문제가 발생한다. 이 논문에서는 2차 피드포워드 루프 필터와 1차 수동 노이즈 셰이핑 SAR(NS-SAR) 내부 양자화기를 사용하여 3차 루프 필터를 구현, OSR이 64일 때 100 dB SQNR을 달성한다. 또한, NS-SAR 양자화기의 커패시터 배열에 통합되어 적분기의 출력 스wing을 줄이고, 리셋 후 정상 작동 시 전압 링잉을 최소화하고 NS-SAR 양자화기에 ELD 보상 경로를 추가하여 성능 저하를 방지한다. 4개의 커패시터(CFF, CELD, CDAC, CNS)로 구성된 NS-SAR은 노이즈 셰이핑을 제공한다.

저자정보



박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>

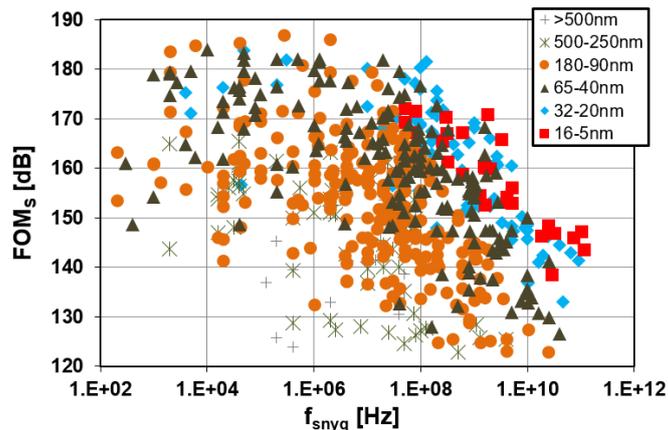
2024 IEEE CICC Review

KAIST 전기및전자공학과 박사과정 신현우

Session 28 High-Speed Data Converters

#28.1 – University of Macau, Macau, China

High-Speed Nyquist ADC(Analog-to-Digital Converter)는 다양한 어플리케이션에서 끊임 없는 수요로, 더 빠르고 정확한 데이터 변환과 적은 전력으로 동작하도록 개발되어 왔습니다. 본 논문은 지금까지 발표되었던 High-Speed Nyquist ADC의 architecture들을 소개하고, 그들의 장단점을 정리하고자 합니다. 아래의 그림을 보자면, 공정 미세화가 극에 달하는 데에 따라, FoM 향상 폭이 줄어들었다는 것을 볼 수 있습니다. 이에 새로운 구조적 혁신과 창의적인 기술 융합이 필요함을 알 수 있습니다.



첫째로, SAR (Successive approximation register) ADC는 전력 효율이 높고, 디지털 비중이 높아 process scaling에 따른 속도 증폭이 쉽기 때문에 최근 수십년간 각광을 받아왔습니다. 하지만, bit conversion loop가 serial로 동작하는 특성으로 conversion 속도가 제한됩니다. 이를 극복하기 위해서 asynchronous SAR ADC [1], Two comparator SAR ADC [2], Loop-unrolled SAR ADC [3], CIC(Charge-injection cell) based SAR ADC [4] 등 다양한 기법들이 개발되어 왔습니다.

두번째로, Multi-bit/cycle SAR ADC가 소개되었습니다. 기존 SAR 구조의 속도 제한을 넘어서기 위해서 SAR ADC의 binary search 과정에 flash architecture를 통합하였습니다. 처음 제시된 구조는 한 사이클 당 M-bit decision을 하기 위해, 각각 2^{M-1} 개의 Comparators와 CDACs를 사용하였습니다. [5] 하지만, 이러한 구조는 pre-charge cycle들

로 인한 속도 저하와 더불어 다수의 Comparator와 CDAC으로 인한 bandwidth가 제한됩니다. 이러한 한계를 돌파하기 위해 Multi-bit SAR with reference DAC [6], interpolation이 적용된 Multi-bit SAR [7], time-domain multi-bit SAR [8] 등의 다양한 연구들이 진행되어 왔습니다.

세번째로 Time-domain ADC는 공정 노드의 미세화로 각광을 받고 있습니다. Time-domain ADC는 logic delay로 quantization step이 결정되는데, 공정의 발달로 logic delay가 감소했기 때문에, 빠른 conversion rate를 달성하기 쉽게 되었습니다. 최근 Time-domain ADC는 VTC(voltage-to-time converter)와 TDC(time-to-digital converter)로 나누어진 구조를 갖습니다. [9] 하지만, 이러한 구조에는 VTC의 비선형성, bit에 따라 지수적으로 증가하는 전력과 면적, 채택한 공정에 제한되는 gate delay, mismatch error들과 같은 문제점들이 발생합니다. 이러한 문제점들을 해결하기 위해서, pulse-shrinking TD ADC [10], interpolation TD ADC [11], SAR-type TDC [12], TVC implemented TD ADC [13] 등의 연구들이 진행되어 왔습니다.

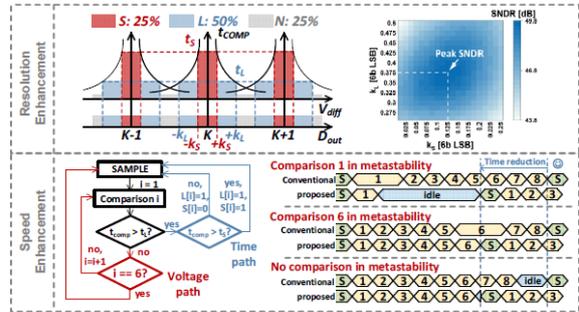
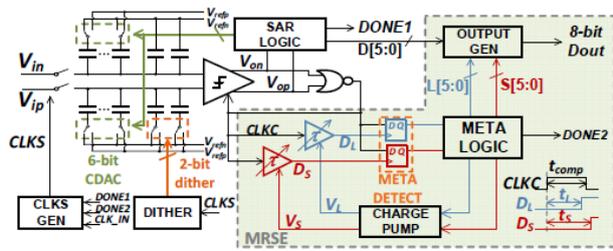
마지막으로, Pipeline ADC가 소개되었습니다. Pipeline ADC 구조는 sub-ADC와 multiplying DAC (MDAC)으로 구성된 여러 개의 stage들이 동시에 동작하는 방식으로 latency를 희생하여 높은 속도와 분해능을 달성합니다. 하지만, inter-stage error들을 해결할 필요가 있으며, 특히 inter-stage amplifier의 선형성, bandwidth, 전력 소모와 같은 이슈들을 고려해야 한다. 이러한 문제들을 극복하기 위해서, open-loop amplifier-based pipelined ADC [14], zero-crossing based circuit(ZCBC) [15], ring amplifier based pipelined ADC [16] 등의 구조들이 고안되었습니다.

이전의 연구들을 돌아봤을 때, 어떤 하나의 구조가 resolution, reliability 그리고 energy efficiency의 방면에서 압도적이지 않고 각자의 장단점을 가지고 있습니다. 그렇기 때문에, 각 구조의 특징을 잘 숙지하고, 이들을 잘 활용하여 새로운 돌파구를 마련하는 것이 우리들의 과제 일 것입니다.

#28.2 – Peking University, Beijing, China

본 논문에서는 SAR ADC에서 발생하는 metastability를 monitor하여 code를 결정하는 방식으로, 기존의 SAR 구조 보다 더 빠른 conversion speed를 달성하였습니다. Metastability는 comparator의 decision delay를 on-chip delay cell들의 delay와 비교함으로써 sensing됩니다. 하지만, comparator decision delay와 delay cell은 PVT에 민감한데, 이를 해결하기 위해서 본 논문에서는 on-chip calibration engine을 삽입하였습니다. 또한, VCM에 따라 comparator decision time이 변동하기 마련인데, 이를

예방하기 위해 pre-amplifier 를 두어 comparator decision time 변동 폭을 줄였습니다. 결과적으로, 본 논문은 metastability sense 를 통한 추가적인 bit conversion 을 SAR ADC 에 통합함으로써, 1Gsamples/sec 의 동작속도로, Nyquist input 에서 47.2 dB 의 SNDR 을 달성하였습니다.



참고문헌

- [1] S.-W. M. Chen et al., "A 6b 600 MS/s 5.3 mW asynchronous ADC in 0.13 μ m CMOS," in Proc. IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers., Feb. 2006, pp. 2350–2359.
- [2] L. Kull et al., "A 3.1 mW 8b 1.2 GS/s single-channel asynchronous SAR ADC with alternate comparators for enhanced speed in 32 nm digital SOI CMOS," IEEE Journal of Solid-State Circuits, vol. 48, no. 12, pp. 3049–3058, Dec. 2013.
- [3] T. Jiang, et al., "A Single-Channel, 1.25-GS/s, 6-bit, 6.08-mW Asynchronous Successive-Approximation ADC With Improved Feedback Delay in 40-nm CMOS," IEEE Journal of Solid-State Circuits, vol. 47, no. 10, pp. 2444–2453, Oct. 2012
- [4] K. D. Choo, et al., "Area-efficient 1GS/s 6b SAR ADC with charge-injection-cell-based DAC," in Proc. IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, Jan. 2016, pp. 460–461.
- [5] Z. Cao et al., "A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μ m CMOS," IEEE Journal of Solid-State Circuits, vol. 44, no. 3, pp. 862–873, Mar. 2009.
- [6] H. K. Hong et al., "A decision-error-tolerant 45 nm CMOS 7b 1 GS/s nonbinary 2b/cycle SAR ADC," IEEE Journal of Solid-State Circuits, vol. 50, no. 2, pp. 543–555, Feb. 2015.
- [7] C.-H. Chan et al., "A 3.8 mW 8b 1 GS/s 2b/cycle interleaving SAR ADC with compact DAC structure," in Proc. IEEE Symposium on VLSI Circuits(VLSIC), 2012, pp. 86–87.
- [8] D. Li, X. Zhao et al. "A 7-bit 3.8-GS/s 2-way time-interleaved 4-bit/cycle SAR ADC 16x time-domain interpolation in 28-nm CMOS," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 70, no. 9, pp. 3557–3566, Sep 2023.
- [9] A. R. Macpherson et al., "A 5GS/s 4-bit time-based single-channel CMOS ADC for radio astronomy," in Proc. Proceedings of the IEEE 2013 Custom Integrated Circuits Conference(CICC), San Jose, CA, USA, 2013, pp. 1-4
- [10] M. Hassanpourghadi et al., "A 2-way 7.3-bit 10 GS/s Time-based Folding ADC with Passive Pulse-Shrinking Cells," in Proc. IEEE Custom Integrated Circuits Conference(CICC), 2019, pp. 1-4.
- [11] M. Zhang et al., "16.2 A 4 \times Interleaved 10GS/s 8b Time-Domain ADC with 16 \times Interpolation-Based Inter-Stage Gain Achieving >37.5dB SNDR at 18GHz Input," in Proc. IEEE International Solid-State Circuits Conference (ISSCC), 2020, pp. 252-254.
- [12] J. Liu et al., "A 10GS/s 8b 25fJ/c-s 2850um² Two-Step Time-Domain ADC Using Delay-Tracking Pipelined-SAR TDC with 500fs Time Step in 14nm CMOS Technology," in Proc. IEEE International Solid-State Circuits Conference (ISSCC), , 2022, pp. 160-162.
- [13] A. Whitcombe et al., "A 6.0mW 3.8GS/s 7b VTC/TDC-Assisted Interleaved SAR ADC with 13GHz

ERBW," in Proc. IEEE Symposium on VLSI Circuits (VLSIC), , 2022, pp. 170-171.

[14] B. Murmann et al., "A 12b 75MS/s Pipelined ADC Using Open-Loop Residue Amplification," IEEE Journal of Solid-State Circuits, vol. 38, no. 12, pp. 2040-2050, Dec. 2003

[15] S. -K. Shin et al., "A 12 bit 200 MS/s Zero-Crossing-Based Pipelined ADC With Early Sub-ADC Decision and Output Residue Background Calibration," IEEE Journal of Solid-State Circuits, vol. 49, no. 6, pp. 1366-1382, June 2014.

[16] Y. Cao et al., "10.3 A Single-Channel 12b 2GS/s PVT-Robust Pipelined ADC with Critically Damped Ring Amplifier and Time-Domain Quantizer," n Proc. IEEE Int. Solid-State Circuits Conference (ISSCC), 2023, pp. 9-11.

저자정보



신현우

- 소 속 : KAIST 전기및전자공학과 박사과정
 - 연구분야 : High Speed ADC
 - 이 메 일 : shin6223@kaist.ac.kr
 - 홈페이지 : <https://msicl.kaist.ac.kr>
-

2024 IEEE CICC Review

한양대학교 신소재공학과 박사과정 송충석

Topic : Digital circuits, SoCs, and Systems

Session 7. Mixed-Signal Compute in Memory

이번 2024 IEEE CICC의 Session 7은 Mixed-Signal Compute in Memory라는 주제로 총 7편의 논문이 발표되었다. Compute in memory (CIM) macro는 딥러닝을 가속하기 위해 아날로그 도메인과 디지털 도메인을 나누어서 연산을 하게 된다. 아날로그 도메인을 사용할 경우 연산효율성은 증가하지만 아날로그 회로의 특성상 노이즈에 약하여 정확도가 떨어지는 문제가 있으며 디지털 도메인을 사용할 경우 한 번에 많은 연산을 처리하기 위해 많은 면적을 요구하므로 연산효율성은 상대적으로 낮지만 디지털 회로의 특성상 노이즈에 강한 특징이 있다. 따라서 두 도메인을 적절하게 사용한 혼성신호 기반 CIM macro가 많이 연구가 되고 있다. 본 세션에서는 이러한 혼성신호 기반 CIM macro 를 중국에서 5편, 한국에서 2편 발표하였고, 본 리뷰에서는 7-1, 7-2, 7-3, 7-5, 7-7 을 리뷰하고자 한다.

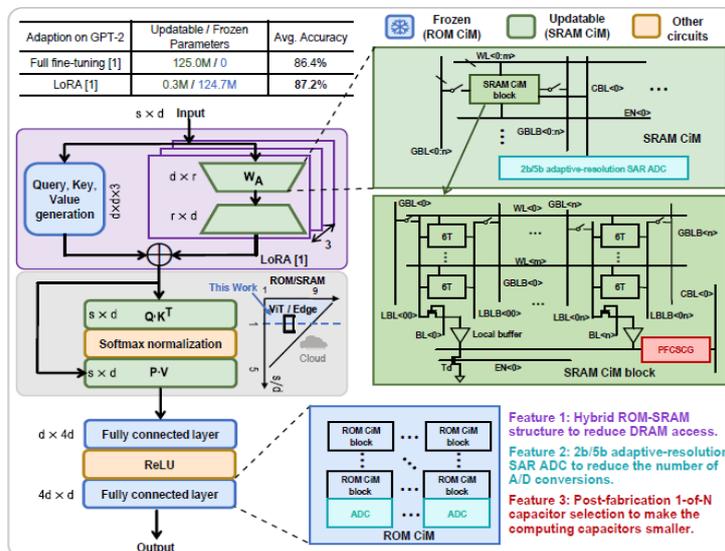
#7-1 논문은 depthwise separable neural network (DSNN)를 CIM에서 가속하기 위한 논문으로 기존 SRAM 기반 CIM에서 DSNN을 구현할 시 3가지 문제점을 지적하였다. (I) 외부 cache에서 activation을 불러오기 위해 반복되는 접근으로 인해 memory energy utilization이 낮고, (II) 짧은 채널 길이로 인해 array temporal utilization이 낮으며, (III) input과 output activation의 분리된 cache로 인해 memory가 두배로 사용되어 memory spatial utilization이 낮다. 이러한 문제점을 해결하기 위해 본 CIM macro인 MixCIM은 computing near memory (CNM)과 CIM을 조합하였다. Depthwise convolution 시 eDRAM array에서 sliding을 가능하게 설계하여 inference시 요구되는 cycle 회수를 감소시켰고, mix memory computing으로 인해 데이터 이동 및 접근 회수를 낮추어 에너지 효율을 증가시켰다. 그리고 input과 output activation을 공유하는 memory sharing scheme을 개발하였다.

본 macro는 28nm CMOS 공정을 이용하여 8bit 데이터를 이용하여 pointwise 연산 시 40.99 TOPS/W, depthwise 연산 시 15.31 TOPS/W 의 에너지 효율을 나타냈고, MobileNet v2 모델을 사용하여 CIFAR-10 데이터 셋을 92.47%의 정확도로 추론해냈다. 더불어

baseline과 비교하여 연산속도를 2.19배 증가시켰고, 유효한 memory utilization을 32.4% 상승시켰다.

#7-2 논문은 transformer 모델을 CIM에 적용하기 위한 논문으로 transformer model의 경우 엄청난 수의 파라미터를 사용하여 연산을 하기 때문에 데이터 이동을 줄이는 것이 필수적이며 CIM은 이를 해결하기 위한 좋은 대안으로 각광받고 있다. 그러나 transformer model을 CIM에 접목시키기에 3가지 문제점이 있고 이를 해결하기 위한 방안을 제안했다: (I) macro 상의 on chip memory의 한계로 인해 DRAM 접근 횟수가 증가 하는데 사전에 학습된 weight는 변경되지 않는다는 점을 이용하여 고정된 weight를 위한 ROM과 data를 유연하게 사용할 수 있는 SRAM을 결합하는 구조를 고안해 내었다. ROM은 multi-level을 표현할 수 있는 1T 구조로 밀집도를 증가시켰다. (II) macro의 높은 비율의 전력소모와 면적을 사용하는 ADC의 해상도를 낮추기 위한 adaptive resolution ADC를 고안하였다. SAR-ADC 기반으로 선택적으로 2bit 혹은 5bit A/D 변환을 하게 된다. (III) 마지막으로 아날로그 기반 연산 시 요구되는 면적이 큰 capacitor에서의 에너지 소모를 낮추기 위해 post-fabrication 1-of-N capacitor selection (PFCS)를 적용하여 capacitor의 전체 면적을 감소시켰다.

본 macro는 28nm CMOS 공정으로 1.1V 동작전압에서 220MHz, 0.7V 동작전압에서 120MHz로 동작하였다. Macro의 처리량(throughput)은 0.22 ~ 0.40 TOPS (tera operations per second) 달성하였고, 연산효율은 42.0 TOPS/W를 달성하였다. 더불어 ROM의 사용으로 인해 weight density 또한 높일 수 있었는데, CMOS SRAM 기반 CIM 설계에 비해 17.3 배 이상 증가한 8928Kb/mm²의 면적효율을 달성하였다.

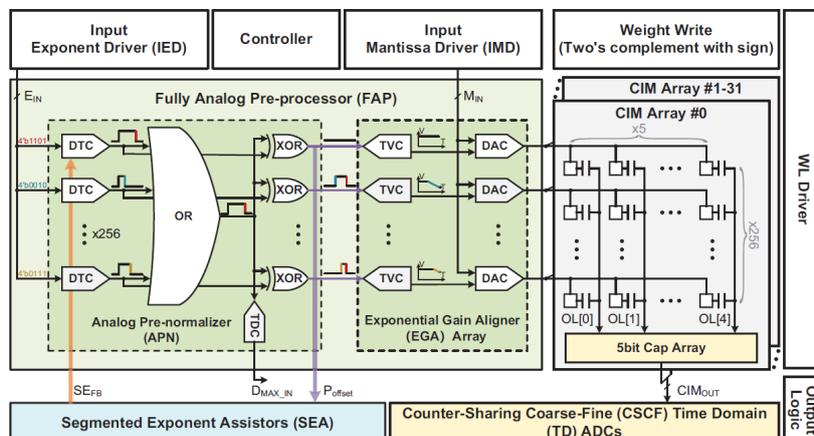


[그림 1] #7-2에서 제안한 hybrid CIM의 전체 구조

#7-3 논문은 연산효율을 증가시키기 위해 아날로그 기반으로 multiply-accumulate (MAC) 연산을 수행하는 CIM macro에서 DAC와 ADC로 인해 생기는 파워 및 면적 overhead를 줄이는 방안을 고안한 macro를 개발하였다. MAC 연산을 위해 DAC과 shift and adder unit (SnA)을 추가로 설계하는 것이 아닌 SRAM bit-cell 내부에서 DAC 과 SnA 동작을 수행할 수 있는 10T2C bit-cell SRAM을 고안하였다. 추가로 여러 bit의 MAC 연산을 수행하기 위해 ADC 동작을 반복적으로 수행하는 기본적인 SRAM 기반 CIM 대비 본 논문에서 발표한 macro는 추가적인 capacitor 없이 하나의 스위치만을 이용하여 SnA 동작을 bit-cell에서 수행하게 하였다. 따라서 DAC과 SnA 동작을 기존 CIM과 거의 동일한 면적을 사용하여 구현하여 아날로그 MAC 연산 시 요구되는 에너지 소모를 감소시켰다.

본 논문의 macro는 28nm CMOS 공정으로 제작되었고, 128x128 array size를 이용하여 0.7V의 동작전압에서 130.0TOPS/W, 1.1V의 동작전압에서 108.1GOPS를 달성하였다.

#7-5 논문은 정수형 데이터를 연산하는 것이 아닌 부동소수점형(floating point) 데이터를 연산하기 위한 아날로그 기반 CIM macro를 발표하였다. 부동소수점형 데이터를 이용하여 모델을 학습시킬 경우 모델의 정확도를 향상시킬 수 있다는 장점이 있는 것에 비해 정수형 데이터를 연산하는 것보다 연산 효율성이 낮아지는 문제가 있다. 특히, 부동소수점형 계산 시 지수부분을 정렬하는 alignment 동작에 성능 병목현상이 나타나는데, 이는 부동소수점형 계산을 아날로그 기반 CIM으로 구현하는데 큰 문제점으로 작용하고 있다. 이러한 문제점을 해결하기 위해 본 논문에서는 아날로그 도메인에서 지수부분을 gain 값을 통해 예측하여 alignment를 수행케 하였다. 더불어 time domain ADC를 이용하여 지수부분의 alignment 과정에서 생기는 시간차이를 이용하여 기존 ADC 대신 적용함으로써 전력효율성을 증가시켰다.



[그림 2] #7-5에서 제안한 부동소수점형 데이터를 연산할 수 있는 fully analog CIM

본 논문의 macro는 28nm 기반으로 제작되었으며 FP8과 BF16을 지원한다. 또한 0.75V의 동작전압에서 83MHz, 0.9V 동작전압에서 125MHz로 동작한다. 본 논문의 macro는 부동소수점형 연산을 완전히 아날로그 도메인에서 수행함으로써 데이터 타입의 변환에 필요한 latency와 area 과부하를 줄였다는 점에서 의의가 있다. FP8 데이터 연산 시 전력효율은 1.78배 증가시켰고, 면적효율은 1.94배 증가시켜, 최대 전력효율은 314.6 TFLOPS/W, 최대 면적효율은 12.13 TFLOPS/mm²를 달성하였다.

Session 14. Domain-Specific Accelerators

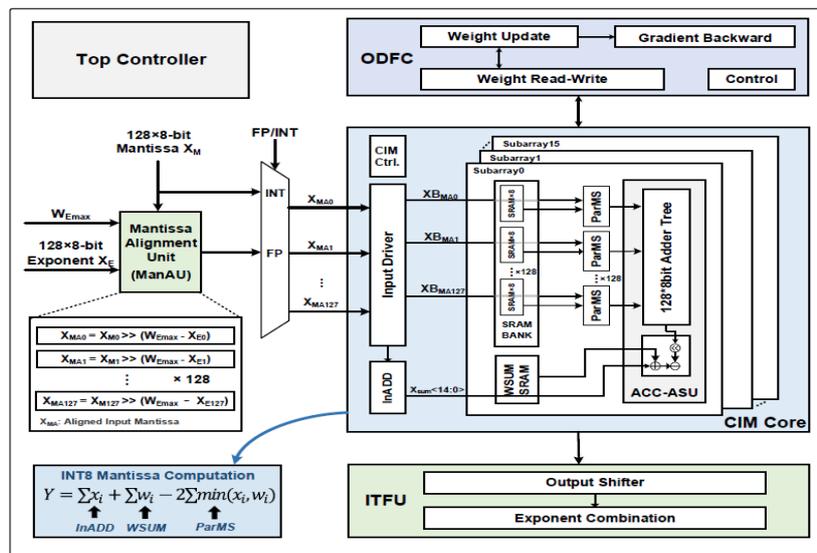
이번 2024 IEEE CICC의 Session 14는 Domain-Specific Accelerators라는 주제로 총 6편의 논문이 발표되었다. CPU 및 GPU와 같은 general purpose의 하드웨어가 아닌 설계의 자유도가 상대적으로 높은 ASIC 기반 하드웨어의 경우에는 특정 application에 최적화하여 설계할 수 있어 더 높은 연산효율성을 기대할 수 있다. 본 세션에서도 특정 domain에 최적화된 하드웨어 설계를 다루고 있다. #14-1에서는 Edge device를 위한 on-device 튜닝이 적용된 CIM에 관한 macro를 발표하였고, #14-2에서는 특징 추출과 관심영역 감지 (region of interest detection)를 위한 near-sensor convolutional imager SoC를, #14-3에서는 다양한 형태로 사용되는 행렬곱을 지원하기 위해 설계된 flexible한 프로세서를, #14-4에서는 multi agent 뉴로모픽 가속기를, #14-5에서는 의료분야에서 사용할 수 있는 프로세서를, 마지막으로 #14-6에서는 unstructured sparsity를 구현할 수 있는 인공지능망 가속 프로세서를 발표하였다. 본 리뷰에서는 14-1, 14-3, 14-6을 리뷰하고자 한다.

#14-1 논문은 부동소수점형 데이터를 CIM에서 연산을 가속하기 위한 macro를 발표하였다. 부동소수점형 연산은 복잡한 task를 수행하기 위해 필요하지만 기존 CIM에서 부동소수점형 연산을 하기 위해서는 다음과 같은 문제점이 있다. (I) mantissa 부분의 multiply-accumulate (MAC) 연산 시 비트별로 수행하는 병렬연산은 많은 cycle을 소모하기 때문에 throughput이 낮아지고, (II) mantissa normalization 과정이 많은 비교기를 통해 이루어지기 때문에 면적과 에너지의 과부하가 발생하며, (III) 이전의 부동소수점형 연산을 지원하는 CIM의 경우 디바이스 내에서 fine-tuning을 지원하지 못하여 실제 어플리케이션에 적용했을 때 정확도가 감소하는 문제가 있었다.

따라서 이를 해결하기 위하여 본 논문의 macro는 one-shot compute scheme을 적용하여 mantissa MAC 연산의 throughput을 8배 상승시켰으며, 비교기와 select unit을 이용한 parallel minimal selector를 도입하여 adder tree에서의 잦은 데이터 flip 현상을 줄여 일반

적인 8bit 곱셈기에 비해 면적과 에너지소모를 11.5배, 8.2배 각각 감소시켰다. 또한 디바이스 내에서 fine-tuning을 지원하는 core를 설계하여 어플리케이션이 변경될 때마다 감소하는 정확도를 개선시켰다.

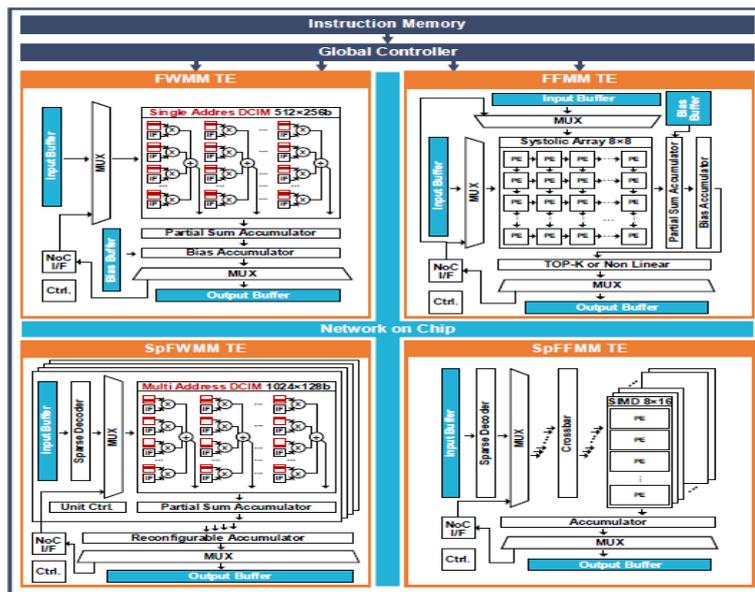
본 논문의 macro는 28nm CMOS 공정으로 제작되었으며 0.55V의 동작전압에서 20MHz 구동을, 0.9V의 동작전압에서 180Mhz까지 구동되었다. Unsigned BF16으로 연산 시 최고 성능은 128TFLOPS/W, 7.02TFLOPS/mm²를 달성하였다. 이는 기존 연구에 비해 에너지/면적 효율을 4.1배, 3.4배 증가시킨 결과이다.



[그림 3] #14-1에서 제안한 부동소수점형 연산 가속과 on chip tuning이 가능한 macro

#14-3 논문은 딥러닝에서의 핵심연산인 행렬곱을 효율적으로 연산하는 macro를 발표하였다. 행렬곱 연산은 transformer, GCN, 컨볼루션 등 다양한 모델에서 사용되지만 CNN의 경우 CIM에서 고정된 weight를 반복 사용하여 데이터 이동을 줄일 수 있는 반면, transformer의 attention layer, GCN, GNN 등에서의 행렬곱 연산은 인풋이 지속적으로 변하기 때문에 CIM에서 구현하기에 비효율적이다. 이렇듯 다양한 인공지능 모델에서, 그리고 다양한 인공지능 연산 등을 모두 효율적으로 다룰 수 있는 가속기가 필요하며 본 논문에서 발표한 가속기는 다음과 같은 특징을 가진다: (I) 4개의 서로 다른 tensor engine을 사용하여 병렬 연산 혹은 파이프라인이 가능하게 하였으며, (II) 각각의 tensor engine은 multi-address digital CIM, single-address digital CIM, systolic array, SIMD 로 구성되어 있어 다양한 데이터를 유연하게 처리할 수 있도록 구성되었다. (III) 그리고 각각의 tensor engine에는 로컬 버퍼를 구성하여 NoC를 통해 데이터를 이동시켜 off chip 메모리와의 접근을 최소화했다.

본 논문에서 제안한 가속기는 22nm CMOS 공정에서 제작되었으며 0.76V 동작전압에서 75MHz, 0.92V 동작전압에서 152MHz로 동작하였다. Dense한 INT8 데이터에 대하여 0.8V, 121MHz 환경에서 4.52TOPS/W의 성능을 달성하였고, GCN의 성능은 비교군보다 3.47배 이상의 성능향상을 이루었다. 또한 sparse한 데이터에 대해서도 zero skipping을 통해 높은 성능을 달성하였고 서로 다른 4개의 tensor unit을 적극 활용하여 다양한 데이터셋에 대하여 높은 성능을 이루었다.



[그림 4] #14-3에서 제안한 4개의 tensor engine

#14-6 논문은 Spiking Neural Network (SNN) 기반 모델을 가속시키기 위한 프로세서를 발표했다. SNN은 sparsity가 높기 때문에 효율적으로 accumulation 연산이 가능하지만 반대로 sparsity가 조금이라도 낮은 모델의 경우 효율성이 급감한다는 단점이 있다. 더불어 서로 다른 time step간의 인풋과 가중치를 불러오기 위해 반복적으로 메모리에 접근해야 하고, unstructured spike의 경우 throughput 개선효과가 없으며, 모델 내 서로 다른 연산에 대해 latency의 불균형으로 인한 최적화된 스케줄링을 하기 어렵다는 문제점이 있다. 이러한 문제점을 해결하기 위해 본 논문에서는 3D computation array를 이용하여 timestep별로 연산을 동시에 하도록 했고, unstructured non-zero 데이터를 다루기 위해 non-zero 주소 생성을 위한 fetcher와 비동기식으로 동작하는 sparse skipper를 위한 스케줄러를 도입하였다.

본 논문은 40nm CMOS 공정으로 제작되었으며 0.56V의 동작전압에서 50MHz, 1.1V의 동

작전압에서 200MHz로 구동된다. 0%에서 97%까지의 sparsity에 대하여 20.3 ~ 132.4 TOPS/W의 성능을 달성하였으며 다른 최신 SNN 가속기에 비해 약 3.57배의 연산성능을 보였다.

저자정보



송충석 박사과정 대학원생

- 소속 : 한양대학교
- 연구분야 : 딥러닝 가속기 설계
- 이메일 : scs940430@naver.com
- 홈페이지 : <https://sites.google.com/site/dsjeonglab1/home>

2024 IEEE CICC Review

KAIST 전기및전자공학부 박사과정 엄소연

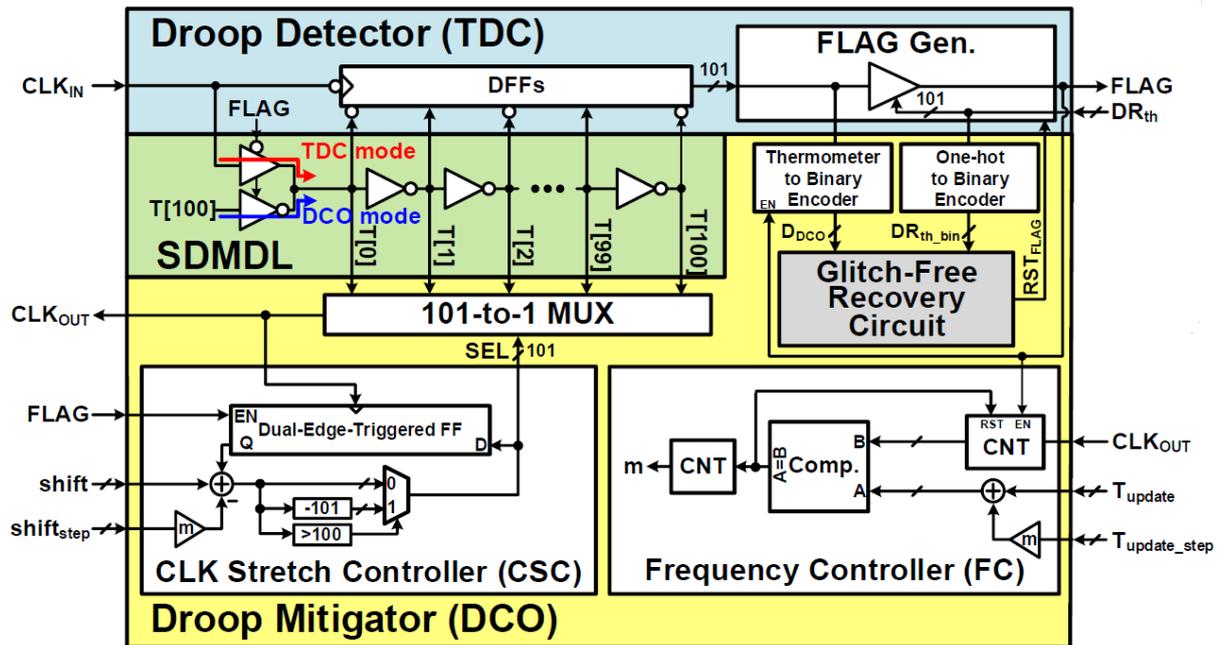
Session 20 Digital Circuit Techniques

이번 2024 CICC의 Session 20은 Digital Circuit Techniques라는 주제로 총 6편의 논문이 발표되었다. 이 세션에서는 Droop Detection 및 Protection, Hardware Security, 그리고 Post-Quantum Cryptography 주제로 발표되었으며, 해당 논문에 대해 간략하게 살펴보고자 한다.

#20.2는 Southeast University와 Shandong Yunhai Guochuang Cloud Computing Equipment Industry Innovation Co., Ltd.에서 발표한 논문으로, 28nm CMOS 공정에서 제작된 적응형 넓은 전압 범위 droop 감지 및 보호 시스템을 소개한다. 기존 고해상도 droop 감지기는 낮은 전압에서 낮은 견고성과 코드 오류를 겪는다. 이 논문은 EDAC가 지원하는 넓은 전압 범위, 고해상도, 고속 droop 감지기, 타이밍 정보를 포함하는 전압 코드 값, 신뢰할 수 있는 임계 값 자기 보정 메커니즘을 통해 성능 손실을 줄이는 방법을 제안한다. 제안된 시스템은 RISC-V 마이크로프로세서에 적용되어 0.48 ~ 1.1V의 감지 범위를 달성하며, E203 CPU의 LITTLE 코어가 0.65 ~ 0.9V, 56 ~ 400MHz에서 동작하게 한다. 링 오실레이터 기반 droop 감지기는 데이터 처리 회로와 EDAC를 통합하여 타이밍 오류를 감지하고 수정한다. 샘플링 모드 제어 모듈은 타이밍 경고에 따라 샘플링 주파수나 ECFF 모드를 조정한다. droop 보호 메커니즘은 전압 코드와 임계 값을 비교하여 타이밍 오류를 방지하며, 2단계 임계 값 자기 보정 방법을 통해 성능 손실을 줄인다. 측정 결과, 제안된 DD는 샘플링 모드 전환을 통해 2GHz에서 0.68V, 1GHz에서 0.48V까지 전압을 낮추며, 고속, 고해상도 및 견고한 전압 코드 값을 유지한다. 자기 보정 접근 방식은 0.9V, 400MHz에서 125mV 전압 증가와 0.55%의 성능 손실을 달성했다.

#20.3은 서울대학교에서 발표한 논문으로, 28nm 공정에서 제작된 고속 디지털 droop 감지 및 완화 회로를 소개한다. 이 회로는 고성능 마이크로프로세서에서 발생하는 급격한 전류 변동으로 인한 전압 droop를 감지하고 완화하여 타이밍 오류를 방지한다. 기존 아날로그 방식은 큰 면적과 추가 전원 공급이 필요하지만, 이 논문은 작은 면적과 동일한 전원을 공유하는 디지털 방식을 제안한다. 주요 기여는 공유 듀얼 모드 지연 라인을 사용한 droop 감지 및 완화, 재구성 가능한 다중 위상 디지털 제어 오실레이터로 짧은 지연 시간으로 droop를 완화하고 높은 해상도로 주파수를 최적화하며, glitch 없는 복구 회로 (GFRC)로 glitch와 전원 전압 overshoot를 방지한다. 실험 결과, 전압 droop이 발생하

면 설계된 회로가 이를 즉시 감지하고 clock 주기를 늘려 타이밍 오류를 방지하며, 복구 과정에서 주파수를 점진적으로 증가시켜 정상 상태로 복귀한다. GFRC는 두 clock 간의 위상 차이를 감시하여 안전하게 clock 소스를 전환한다. 본 논문은 droop 감지 및 완화 기술 중 가장 낮은 반 주기 지연과 60%의 가장 큰 주파수 조정 범위를 제공하며, 14.8%의 V_{min} 감소와 42.9%의 처리량 증가를 달성했다.

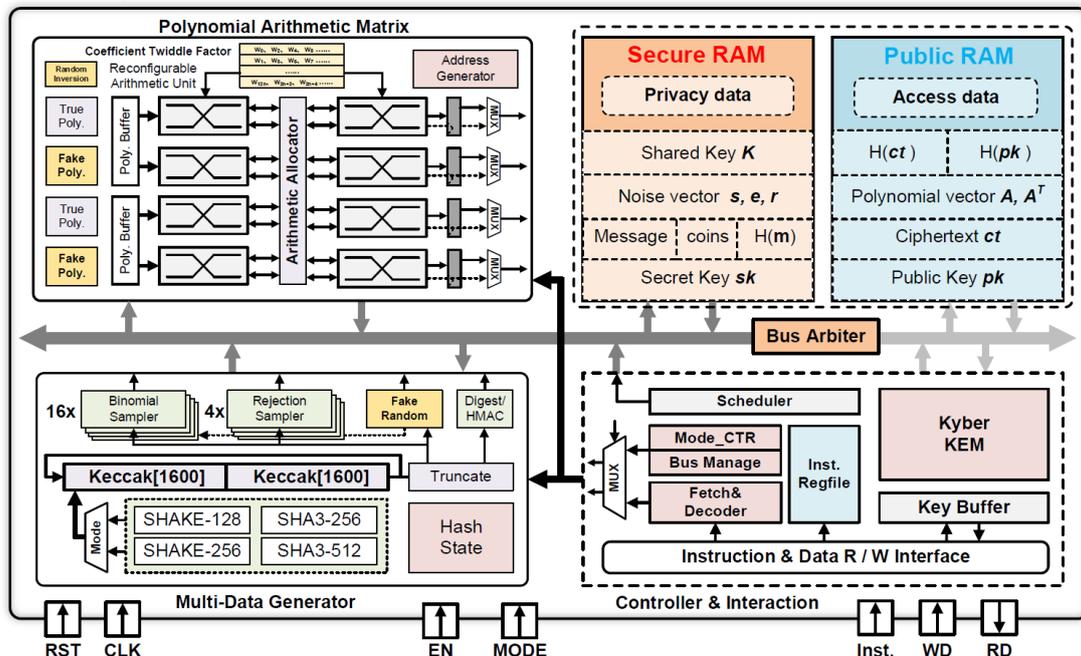


[그림 1] #20.3에서 제안한 Droop Detector와 Droop Mitigator 구조

#20.4는 Shenzhen University에서 발표한 논문으로, 높은 PVT(공정, 전압, 온도) 내성과 주파수 주입 공격에 대한 내성을 가진 저전력 current-starved ring oscillators (CSRO) 기반 난수 생성기 TRNG를 소개한다. 이 TRNG는 데이터 암호화, 키 생성 등 하드웨어 보안 관련 응용에 필수적이다. 기존의 TRNG 디자인은 높은 실리콘 면적과 낮은 에너지 효율성을 가지며, 복잡한 후처리 단계가 필요했다. 이 논문에서는 40nm CMOS 공정을 사용한 3단계 CSRO 기반의 TRNG를 제안한다. 이 논문은 전류를 제한하고 진동 소음을 증폭시켜 98fj/bit의 초고 에너지 효율을 달성하며, 0.6V~1.3V의 넓은 전압 범위와 -65°C~140°C의 온도 범위에서 높은 Shannon 엔트로피를 유지한다. 또한, 1V의 노이즈 주입 공격에 대한 내성을 제공한다. 제안된 TRNG는 CSRO의 비표준 출력을 CMOS 인버터 기반 버퍼를 통해 표준 $V_{DD}/0$ 으로 변환하고, D Flip-Flop을 사용해 순수 비트를 생성한다. 여러 CSRO 기반 엔트로피 소스를 결합하여 주기 전체를 활용하고, N-to-1 XOR 트리를 사용해 랜덤 비트를 연속적으로 생성한다. 이 논문은 복잡한 후처리 단계를 제거하고, FI 공격에 대한 높은 내성을 가지며, 0.6V에서 40Mb/s의 최대 처리량을 제공한다. NIST SP

800-22 및 800-90B 무작위성 테스트를 모두 통과했으며, 에너지 효율은 기존 설계보다 1.2~278배 향상되었다.

#20.5는 Huazhong University of Science and Technology에서 발표한 논문으로, 에너지 효율이 높은 CRYSTALS-KYBER 포스트 양자 암호 프로세서를 소개한다. 이 논문은 포스트 양자 암호화로 전환에서 키 크기 증가, 복잡한 계산과 스케줄링, 사이드 채널 공격 위험성 문제를 해결하기 위해 설계되었다. 이 프로세서는 네 가지 주요 기능을 포함한다. 첫째, 재구성 가능한 산술 유닛을 갖춘 효율적인 다항식 행렬 연산. 둘째, 다양한 데이터 생성을 지원하는 콤팩트한 해시 계수 생성기. 셋째, 개인 정보 보호와 키 도난 방지를 위한 물리적으로 분리된 버스와 저장 영역. 넷째, 자가 생성 랜덤 Keccak 코어 기반의 에너지 절약 보호 방법을 채택하여 SCA를 방지한다. 40nm 기술로 제작된 이 프로세서는 0.43mm²의 면적을 차지하며, 0.65V에서 10MHz, 1.2V에서 180MHz로 작동한다. 총 302k 개의 등가 게이트와 9KB의 메모리를 사용하며, 단일 KYBER 작업당 1.26μJ/Op의 에너지를 소비한다. 이는 포스트 양자 암호화 칩 중 가장 높은 효율을 달성한다. SCA 보안은 약 1000배 향상되었다. 시스템 아키텍처는 컨트롤러, 다중 데이터 생성기, 다항식 산술 행렬, 두 개의 물리적으로 분리된 메모리로 구성된다. 컨트롤러는 칩 내부 및 외부의 데이터와 명령을 관리하며, 다중 데이터 생성기는 1600비트 상태 레지스터를 사용하여 면적과 전력 소비를 줄인다.



[그림 2] #20.5에서 제안한 양자 암호화 프로세서의 전체 구조

#20.6는 MIT와 IBM T.J. Watson Research Center에서 발표한 논문으로, 사이드 채널 공격

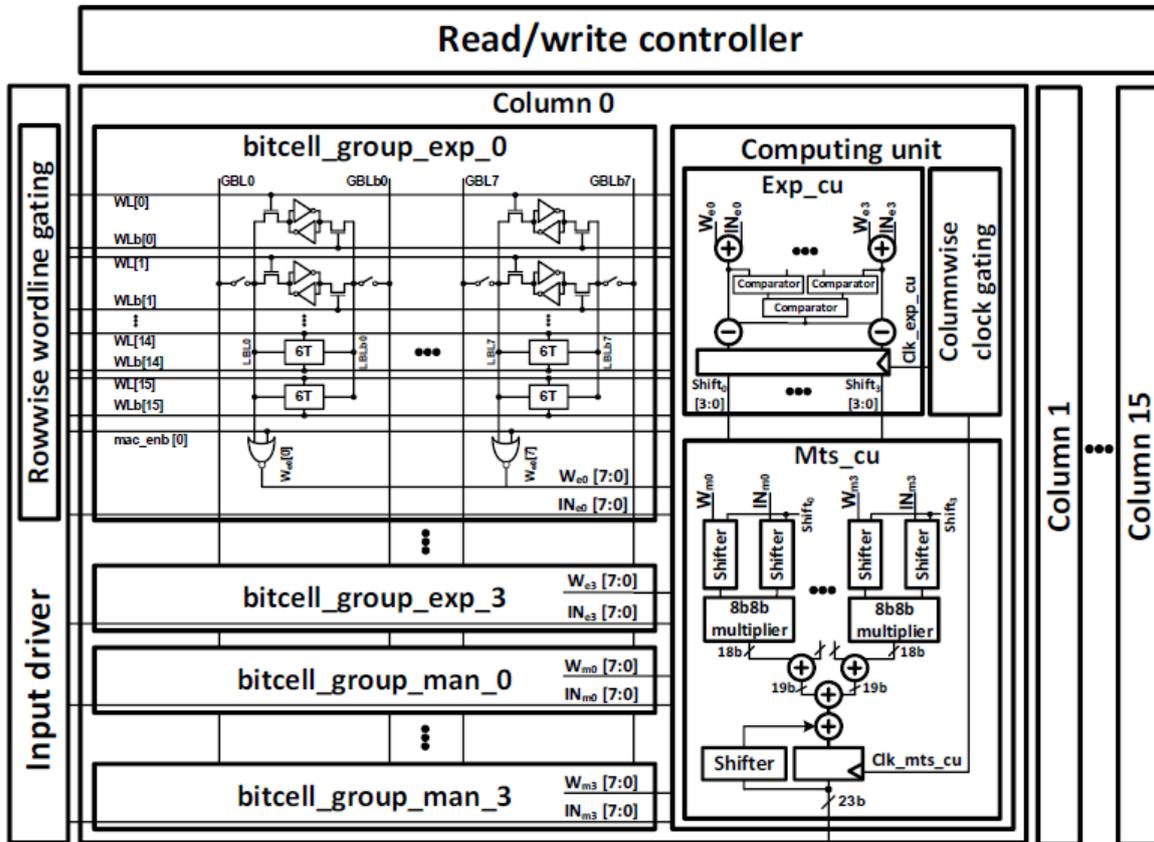
(SCA)과 버스 프로빙 공격(BPA) 보호 기능을 갖춘 안전한 디지털 인-메모리 컴퓨팅(IMC) 매크로를 소개한다. 디지털 IMC는 데이터 전송 에너지를 줄이면서도 높은 비트폭과 정확성을 유지하기 위해 제안되었다. ML 워크로드의 프라이버시는 SCA와 BPA에 의해 약용될 수 있으며, 이 논문은 이러한 위험을 완화하는 IMC 매크로를 제안한다. 논문은 세 가지 주요 과제를 해결한다. 첫째, 기존 기술의 오버헤드를 피하면서도 높은 병렬성을 유지하고 보안성을 확보하는 SCA-secure MAC 연산 방식을 제안하였다. 둘째, NIST 표준 권장 ASCON 암호를 사용하여 오프-칩 저장 및 전송 중 가중치가 평균으로 존재하지 않도록 보장하여 BPA 보안을 강화하였다. 셋째, IMC 메모리를 재사용하여 키 생성에 피드백 컷 Physical Unclonable Function를 도입하였다. 논문에서는 난수 생성기가 필요 없는 비트 직렬 곱셈을 수행하는 공유 계산 기술을 제안하며, XNOR을 사용한 곱셈으로 보안성을 유지하면서 계산 지연을 최소화하였다. CSA 트리를 사용해 부분 곱을 집계하고, 마지막 몇 단계의 덧셈을 비트 직렬 축적과 동시에 수행하여 지연을 줄였다. 이 논문은 14nm CMOS 기술로 구현되었으며, 0.50V에서 8.1 TOPS/W의 성능을 달성하였다. 이 논문은 운영 중 난수 생성기가 필요 없고 정확도 제한이 없는 최초의 IMC 매크로로, 다양한 ML 애플리케이션에서 프라이버시를 보장하는 안전한 IMC 솔루션을 제공한다.

Session 26 Digital Compute in Memory

이번 2024 CICC의 Session 26은 Digital Compute in Memory라는 주제로 총 5편의 논문이 발표되었다. 이 세션에서는 deep neural network acceleration, integer linear programming solving, 그리고 edge AI applications를 위한 가속기가 발표되었다. 이번 후기를 통해 5개의 논문에 대해 간략하게 살펴보고자 한다.

#26.1은 Columbia University에서 발표한 논문으로, 에너지 효율, 연산 밀도, 가중치 밀도를 모두 개선시킨 SRAM 기반의 디지털 CIM이다. 본 논문은 BF16을 지원하고 있으며, 앞서 말한 3가지에 대해 state-of-the-art를 달성하기 위하여 다음과 같은 아이디어를 제시했다. 첫번째로, 에너지 효율, 연산 밀도, 가중치 밀도 이 세가지의 관계를 정리하여 16개의 가중치가 하나의 곱셈기를 공유하는 것이 최적의 디자인 포인트임을 밝혀냈다. 두번째로, 연산 시 누적전에 자릿수를 맞추는 일반적인 방식과 달리 곱셈점에 자릿수를 맞추는 방법을 채택하여 최소한의 오차로 연산 밀도와 가중치 밀도를 향상시켰다. 마지막으로 0이나 무시할 수 있을 정도로 작은 입력 및 가중치에 대해 열 방향으로 클락 게이팅, 행 방향으로 워드라인 게이팅 기술을 제안하여 에너지 효율을 약 2배 가량 향상시켰다. 이를 통해 에너지 효율, 연산 밀도, 가중치 밀도를 곱했을 때 이전 논문 대비 17.7배 높은 Figure-of-Merit (FoM)을 달성했으며, CIFAR100용 ResNet18을 매핑하는 동안

77.36%의 추론 정확도를 달성했다.

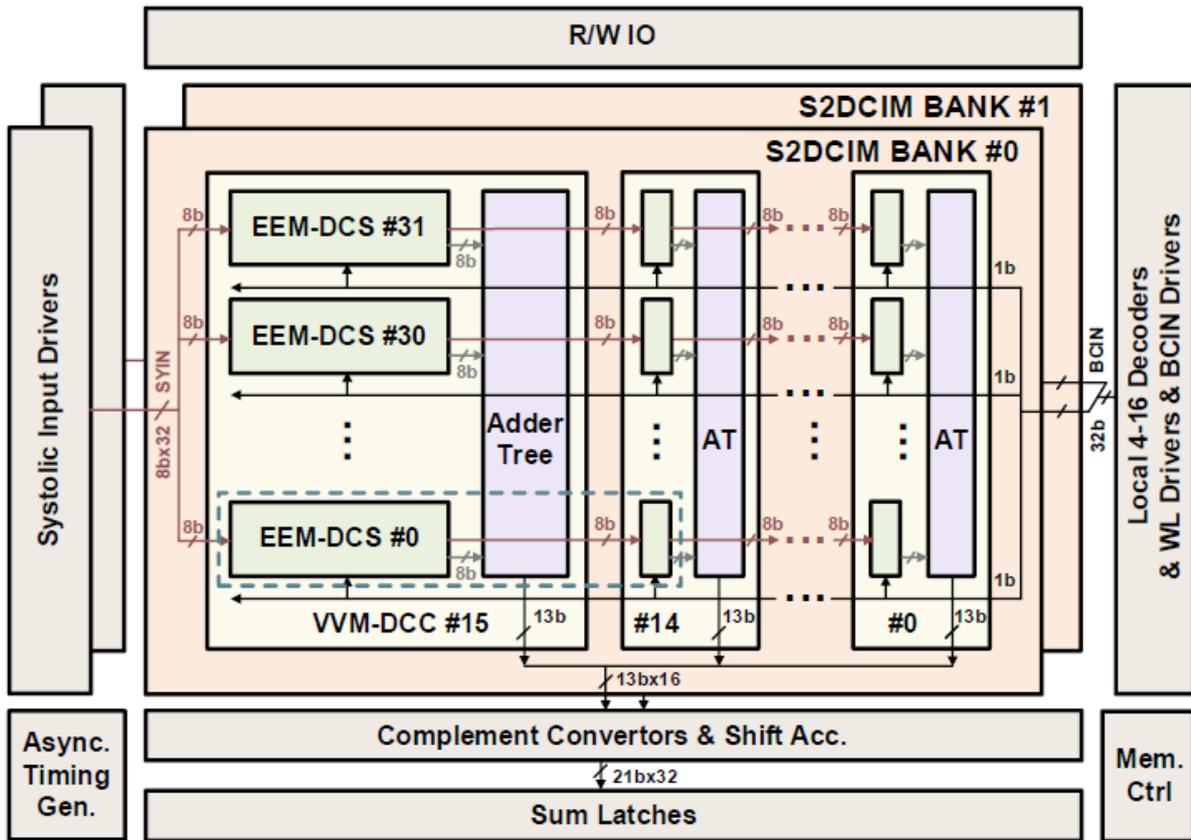


[그림 3] #26.1에서 제안한 CIM의 전체 구조

#26.2은 Johns Hopkins University와 Cornell Tech에서 발표한 논문으로, 매우 희소한 DNN 워크로드를 위한 가변 희소성 표현을 갖춘 CIM을 소개한다. 본 논문은 CIM 설계에서 희소성 압축 기법을 도입하여 저장 용량과 연산 효율을 개선했다. 특히 세가지 인기 있는 희소성 압축 형식인 COO(Coordinate Representation), RL(Run Length Encoding), N:M 희소성을 통합한 CIM를 설계하여, 저장 밀도를 높이고 에너지 효율을 극대화하였다. CIM 매크로는 64x128 비트 셀로 구성되며, 16개의 컬럼 그룹(CG)과 32개의 로우 그룹(RG)으로 나뉜다. 각각의 RG는 16개의 비트 셀을 가지고 있으며, 곱셈 디코드 및 비교 블록에 의해 두 개의 8비트 행으로 나뉜다. 10T 비트 셀은 입력 활성화와 저장된 가중치의 AND 연산을 병렬로 수행하여 입력 활성화 병목 현상을 줄였다. 또한, 이 논문은 COO, RL, N:M 희소성 압축 형식에서 직접 가중치를 처리하여 에너지 효율성을 크게 향상시킨다. 이를 통해 기존 비희소 설계에 비해 3-40배의 면적 감소를 가져오며, 최초로 COO, RL, N:M 압축 형식을 모두 지원하고 다양한 DNN 워크로드에 대해 높은 성능을 제공한다.

#26.3은 Columbia University에서 발표한 논문으로, 온라인 압축 및 압축해제를 사용하여 BF16 지원이 가능한 디지털 기반의 CIM이다. 본 논문은 DNN 가속기의 오프-칩 메모리 접근 에너지 소비 문제를 해결하기 위해 세 가지 새로운 기술을 제안하였다. 첫번째로, 오프-칩 데이터의 이동을 줄이기 위해 CPR4라는 오프라인 압축 알고리즘을 개발하였다. 이는 BF16 가중치를 16개의 그룹으로 묶어 각각 4b 인덱스로 인코딩한다. 압축된 가중치 데이터를 오프칩 메모리에서 가져와 실시간으로 BF16으로 압축해제해 오프-칩 데이터 접근 에너지를 4배 줄인다. 둘째, CPR4 기반의 온라인 압축 하드웨어를 개발하여 각 층의 FP32 활성화 값을 압축한 후 메모리에 저장한다. 이를 통해 온-칩 활성화 메모리 요구량을 4배 줄인다. 셋째, 정확한BF16 MAC 연산을 지원하는 CIM을 개발하였다. 제안된 가속기는 오프-칩 데이터 접근 에너지를 포함하여 1 TFLOPS/W의 에너지 효율을 달성하였다. VGG16 기반 추론 작업에서 127MHz의 동작 클럭 주파수를 유지하며, 기존의 DNN 가속기와 비교하여 1.96배 이상의 에너지 효율을 보여주었다.

#26.4는 Peking University에서 발표한 논문으로, 엣지 AI 애플리케이션을 위한 22nm 128Kb Systolic Digital Compute-in-Memory (S2D-CIM)를 소개한다. 본 논문은 유연한 벡터 연산과 2D 가중치 업데이트를 통해 에너지 효율과 면적 효율을 개선하는 설계를 제안하였다. 이 논문은 여러 단계 도미노 데이터 경로를 설계하여 각 열에 대해 개별 입력 벡터를 지원함으로써 벡터-벡터-곱셈 연산의 유연성을 높였다. 또한, 비동기 타이밍 기법을 통해 작업량에 따라 입력 데이터 흐름과 활성화된 열을 적응적으로 조정하여 에너지 효율성을 향상시켰다. 비동기 타이밍 제어 논리와 도미노 데이터 경로 셀은 다양한 벡터 연산을 지원한다. Systolic 모드에서는 최대 16개의 8b 입력이 16개의 연산기로 전송되며, Broadcast 모드에서는 단일 벡터가 비트 직렬로 전송되어 연산을 수행한다. S2D-CIM의 유연한 데이터 흐름 조합은 효율성을 크게 향상시켰다. 이 논문은 다른 최첨단 SRAM 기반 디지털 CIM과 비교하여 1.67배 향상된 효과적인 에너지 효율성을 보여주었다. Broadcast 모드와 Systolic 모드의 결합 아키텍처는 다양한 뉴럴 네트워크 모델에 대해 단일 데이터 흐름 대비 1.25-2.84배 향상된 에너지 효율성을 제공하여 엣지 AI 애플리케이션의 다양한 연산 요구를 충족했다.



[그림 4] #26.4에서 제안한 S2D-CIM의 전체 구조

#26.5는 The University of Texas at Austin에서 발표한 논문으로, 임의 비트 정밀도 디지털 인-메모리 컴퓨팅 기반 Integer Linear Programming (ILP) solver를 소개한다. 본 논문은 ILP 문제를 효율적으로 해결하기 위해 8T SRAM 셀을 활용한 CIM 기반 solver를 제안하였다. 8T SRAM 셀을 최소한의 주변 장치 변경으로 ILP 계산에 재활용하여 재구성 가능성을 유지하고, 메모리 내 제약 조건 검사, 목적 함수 계산, 변수 업데이트를 통해 데이터 이동을 최소화했다. 또한, 임의 비트 정밀도 지원을 통해 다양한 규모와 정밀도에 적응할 수 있는 재구성 가능한 계산 유닛을 설계하고, 사용자 정의 알고리즘을 지원하는 재구성 가능한 제어 및 업데이트 구성 요소를 제공하여 ILP 해결의 타당성과 최적화 단계를 모두 지원했다. 대규모 ILP 문제를 지원하는 메가비트 수준의 캐시를 활용한 확장 가능한 설계를 했다. 본 논문은 기존 소프트웨어 solver에 비해 최대 471배의 클럭 사이클 절감을 달성하였으며, FPGA 기반 가속기에 비해 최대 7.3배의 클럭 사이클 절감과 106배의 에너지 절감을 이뤘다.

저자정보



염소연 박사과정 대학원생

- 소속 : KAIST 전기및전자공학부
- 연구분야 : Computing-In-Memory Processor
- 이메일 : soyeon.um@kaist.ac.kr
- 홈페이지 : <https://ssl.kaist.ac.kr/>

2024 IEEE CICC Review

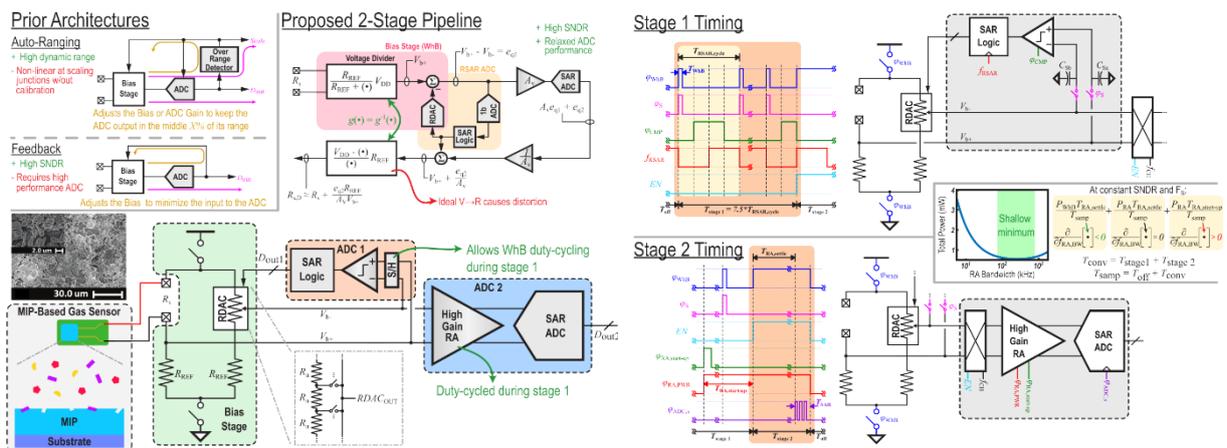
DGIST 전기전자컴퓨터공학과 박사과정 위정윤

Session 15 Innovations in Sensing, Communication, and Imaging Technologies

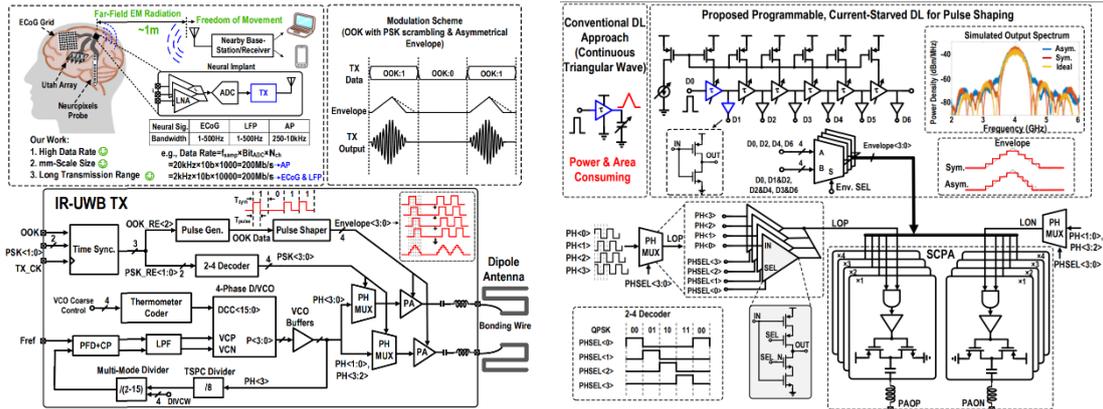
이번 2024 IEEE CICC Session 15는 감지, 통신, 영상 기술과 관련된 기술이 소개되었다. 저 전력 가스 센서, 색상 센터 제어/감지 시스템이 제안되었고, 뇌 임플란트용 광학 위상 배열 및 IR-UWB 송신기를 사용한 통신 기술의 발전을 볼 수 있었다. 마지막으로 플렉서블 초음파 트랜시버, 마이크로 LED가 포함된 무선 광학 피질 인터페이스, Flash LiDAR SPAD 센서를 특징으로 하는 이미징 기술에 관한 논문들도 발표됐다.

#15-1

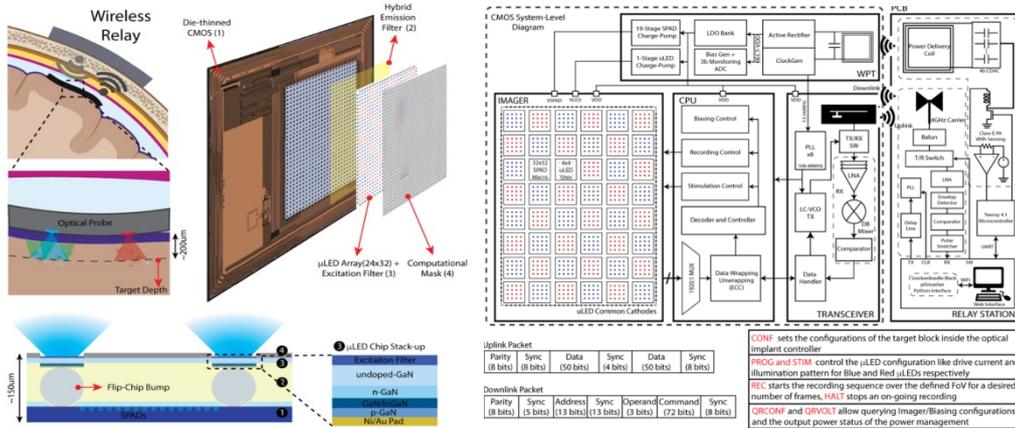
미국의 UCSD에서 발표한 본 논문은 발열이나 기타 전력소모가 큰 센서 조정회로 없이 동작하는 MIP (Molecularly Imprinted Polymer) gas 센서 시스템으로 sub-k Ω 임피던스를 측정하도록 설계되었다 (그림 1). 해당 시스템은 24.4 μ W의 저전력으로 94dB SNR과 80.1dB 선형성을 달성하였다. 또한 실제 가스 테스트에서는 SARS-Cov-2와 D-glucose를 각각 1copy/ μ L 및 0.01ppm의 감도 검출에 성공했다.



[그림 1] 제안된 가스센서 시스템



[그림 2] 제안된 완전 통합형 IR-UWB 송신기



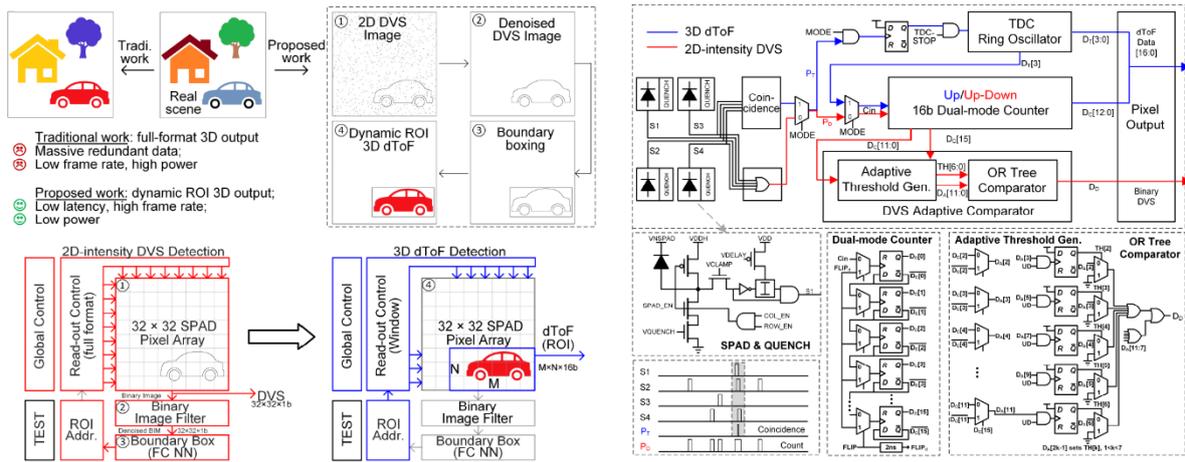
[그림 3] 제안된 플렉서블 경질막 광학 신경 프로브

#15-4

스위스의 EPFL에서 발표한 본 논문은 이식형 TX의 전송 범위를 확장하는 동시에 회로의 크기와 전력 소비 문제를 최소화하기 위해 경피적, 높은 데이터 속도, 완전 통합형 IR-UWB 송신기를 제안했다 (그림 2). 해당 기술을 통해 최첨단 IR UWB TX 에 비해 49.8mm²의 가장 작은 공간과 1.5m의 가장 긴 전송 범위를 달성했다.

#15-6

미국의 콜롬비아대학교에서 발표한 본 논문은 형광 이미징 및 광유전학적 자극을 위한 최초의 무선, 완전 이식 가능한 플렉서블 경질막 광학 신경 프로브를 구현했다 (그림 3). 12x12mm² 사이즈로 구현된 해당 장치는 130nm BCD 기술로 설계되었으며, SPAD를 192x256 어레이 및 24x32µLED 어레이에 통합하여 5.76x7.68mm² FoV를 구현했다. 또한 칩 안테나를 통해 시스템의 무선 전력 공급 및 양방향 UWB 무선 링크를 구현했다.



[그림 4] 제안된 LiDAR SPAD 센서

#15-7

중국의 푸단대학교에서 발표한 본 논문은 2D intensity 이미징, 2D intensity dynamic vision sensing (DVS), 그리고 3D depth imaging 모드를 사용하여 32x32 flash LiDAR SPAD 센서를 구현했다 (그림 4). 2D DVS는 dynamic 픽셀 추출과 region of interest (ROI) 식별에 사용되고, 픽셀의 듀얼모드 카운터를 다른 모드에서 재사용한다. 또한 노이즈 처리를 위해 adaptive threshold generator와 binary imaging filter (BIF)를 사용했다. 해당 기술들을 통해 구현한 센서는 1kHz 프레임속도를 달성했다.

Session 27 Advanced Neural Interfaces

이번 2024 IEEE CICC Session 27은 신경 장애를 모니터링, 진단 및 치료하는 데 도움이 되는 무선 폐쇄루프 신경 임플란트를 위한 다양한 기술과 고급 통합 시스템이 제안됐다. 이 중 일부 논문들은 모션 아티팩트에 강인한 기록 회로를 제안했고, 다른 일부 논문들은 저 전압 표준공정으로도 고전압에서 동작 가능한 신경 자극기를 제안했다.

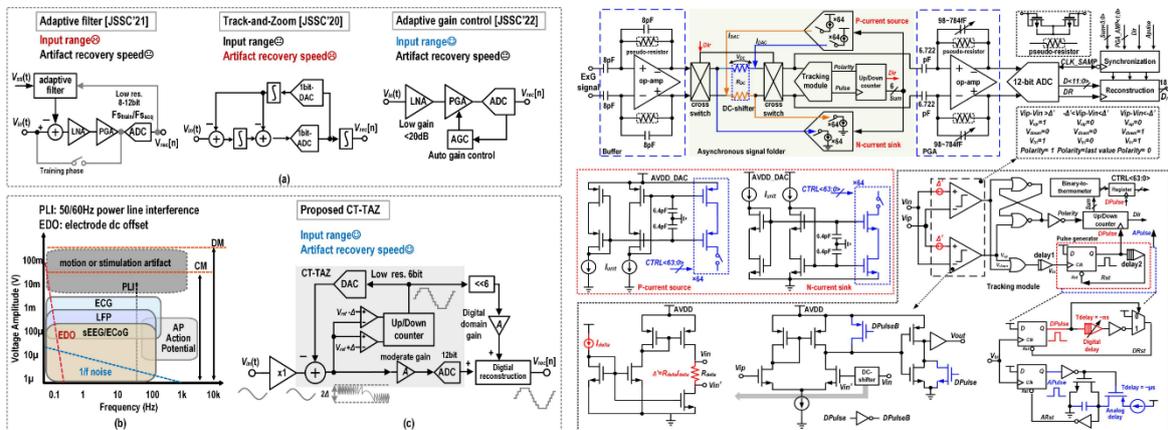
#27-2

중국의 상하이 자오퉁 대학에서 발표한 본 논문은 모션 및 자극 아티팩트로 인해 발생하는 saturation 현상을 피하기 위한 기술을 제안하고, ExG 신호 기록회로를 구현했다 (그림 5). 신호 기록 시에 발생하는 아티팩트는 공통, 차동, 공통과 차동의 혼합 신호로 발생하는데, 본 논문에서는 CT-track and zoom 동작을 구현하여 아티팩트로 인해 시스템이 saturation 되는 현상을 제거했다. 해당 기술을 통해 구현된 시스템은 3.6V 의

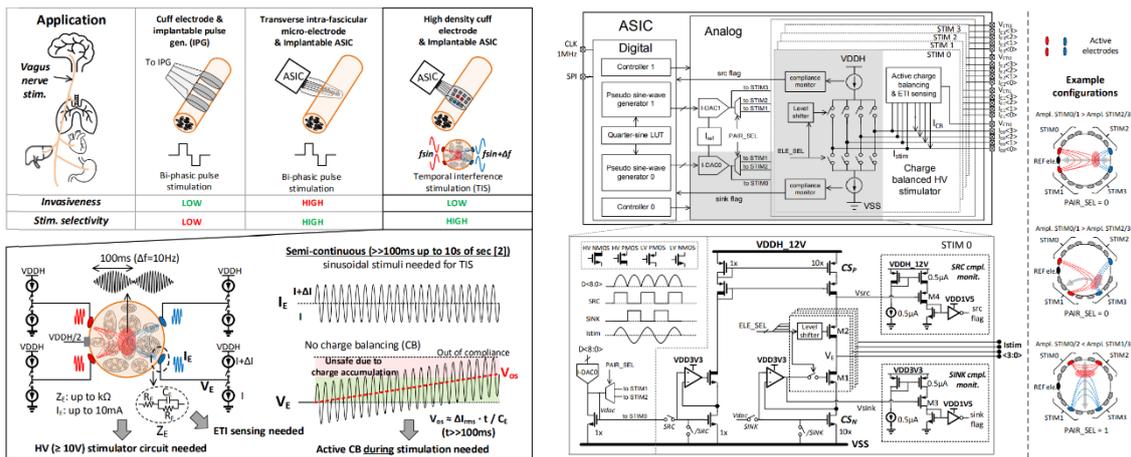
차동모드 및 1.8V 의 공통모드 입력범위를 갖고, 46.6mV/μs 의 아티팩트 회복속도를 달성했다.

#27-3

미국의 UCSD 에서 발표한 본 논문은 closed-loop neuromodulation 시스템에서 신경 기록신호 digitization 이 가능한 8 채널 2 차 DSM ADC 를 구현했다. 해당 시스템은 fast-recovery, over-range detecting phase quantizer 를 사용하여 sub-ms 수준의 빠른 자극 아티팩트 회복 시간을 달성했다.



[그림 5] 제안된 아티팩트에 강인한 ExG 기록회로



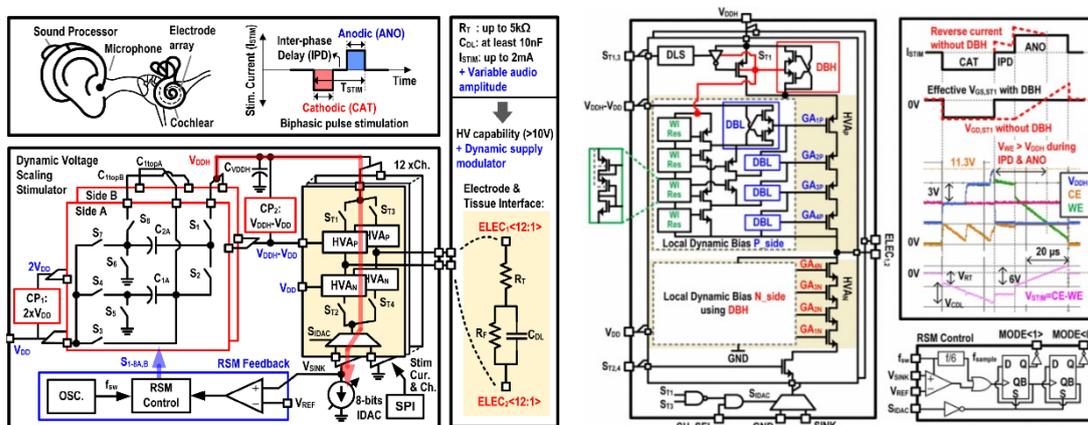
[그림 6] 제안된 자극 및 ETI 동시측정 시스템

#27-4

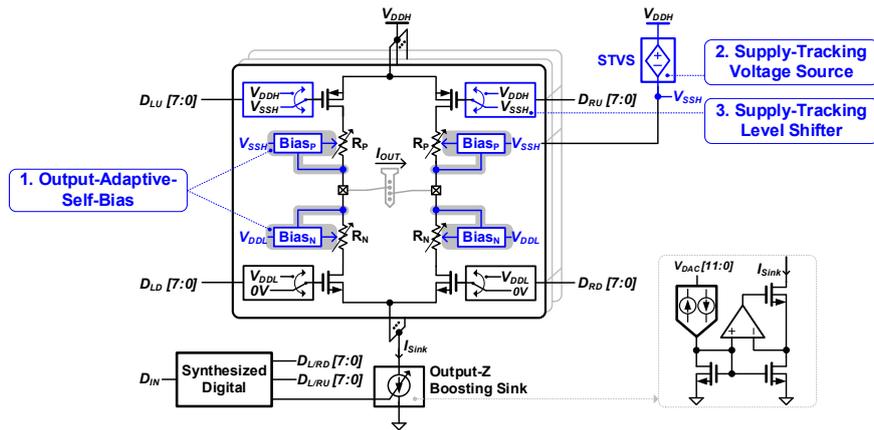
IMEC에서 발표한 본 논문은 BCD공정을 사용하여 10V에서 구동가능한 자극과 동시에 ETI (Electrode-Tissue Impedance) 측정이 가능한 시스템을 구현했다 (그림 6). 자극 selectivity를 높이면서 동시에 비침습형 전극으로 구현하기 위해 기존 cuff 타입의 전극과 침습형 전극의 장점을 융합한 고밀도 cuff 전극을 사용하고, 높은 임피던스의 전극을 구동하기 위해 고전압 동작이 가능하도록 구현했다. 또한 TIS (Temporal Interference Stimulation) 시에 발생하게 되는 조직 손상의 위험성을 없애기 위해 active charge balancer를 함께 집적했다. 이렇게 제안된 기술들로 구현된 시스템은 50mV 이하의 낮은 전압 오프셋을 달성했으며, 10nA 수준의 mismatch를 달성했다.

#27-5

KAIST에서 발표한 본 논문은 초소형 reconfigurable 전원전압 변조기와 채널 드라이버를 제안하여 저전압 표준공정으로도 저-고전압에서 동작 가능한 완전 집적 동적 전압 조절 자극기를 구현했다 (그림 7). H-bridge 구조 기반의 채널 드라이버는 local dynamic bias 회로를 제안하여 저-고전압에서 모두 안정적인 동작 가능하도록 설계했고, 이를 통해 매우 작은 채널 면적을 갖는 자극기를 구현했다. 또한 내부에 charge pump를 집적하여 저전압 입력으로도 고전압 구동이 가능하도록 구현하였으며, 추가적인 charge pump를 사용하여 PMOS 부분의 local dynamic bias 회로에 필요한 전압을 생성하도록 구현했다. 언급된 기술들을 통해 구현된 자극기는 2.6V에서 11.3V까지 넓은 전원전압에서 동작 가능하도록 구현되었으며, 추가적인 외부 회로나 IC를 요구하지 않아 매우 작은 면적으로도 자극기를 구동시킬 수 있다는 장점을 지닌다.



[그림 7] 제안된 완전 집적 자극 시스템



[그림 8] 제안된 자극기 시스템

#27-6

DGIST에서 발표한 본 논문은 output-adaptive-self-bias 및 supply-tracking 기술을 제안하여, 저전압 표준공정으로도 고전압에서 동작가능한 자극기를 구현했다 (그림 xx). Output-adaptive-self-bias 기술은 저항분배회로와 다이오드 clipper를 이용하여 구현되었으며, 저-고전압에서 MOS-resistor를 적절한 전압으로 동적 바이어싱을 수행함과 동시에 자체적으로 높은 전원전압을 견딜 수 있다는 특징을 지닌다. Supply-tracking 기술은 자극기의 PMOS 부분을 제어하기 위해 제안한 기술로, 전원전압에서부터 일정한 전압강하를 생성하는 회로이다 (그림 8). 해당 기술은 고전압에서 견디는 아날로그 버퍼와 결합되어 저전력 supply-tracking voltage source를 구현했다. 또한 래치 구조와 결합하여 PMOS 스위치 제어가 가능한 저전력 supply-tracking level shifter 구현에 성공했다. 해당 기술들을 통해 구현된 자극기는 별도 외부 매뉴얼 튜닝 없이도 3.3V에서 11V까지 넓은 전원전압 범위에서 동작이 가능하며, $10\mu\text{W}/\text{Ch}$ 이하의 대기전력을 달성하였고, 고전압 상황에서도 임의파형 구동에 성공했다.

저자정보



박사과정 대학원생

- 소속 : DGIST 전기전자컴퓨터공학과
- 연구분야 : Analog ICs for biomedical application
- 이메일 : wiejung@dgist.ac.kr
- 홈페이지 : <http://ins.dgist.ac.kr>

2024 IEEE CICC Review

고려대학교 반도체시스템공학과 박사과정 김현진

Session 9 Power Management Techniques

이번 2024 IEEE CICC의 Session 9은 Power Management Techniques라는 주제로 총 7편의 논문이 발표되었다. 이 세션에서는 switched-capacitor gate driver, wireless power converter, low dropout regulator 등 다양한 구조의 power converter들이 소개되었고, 주로 각각의 converter 구조들이 속한 분야에서 겪고 있는 중요한 문제점들을 개선하는 방향으로 연구가 진행되었다. 특히, 올해는 주로 pseudo-adiabatic gate driver, class-G digital-shunt-aided buck converter 등 기존 구조에서 탈피한 새로운 power converter architecture들을 기반으로 이슈들을 해결하려 했다는 점이 주목할 만하다.

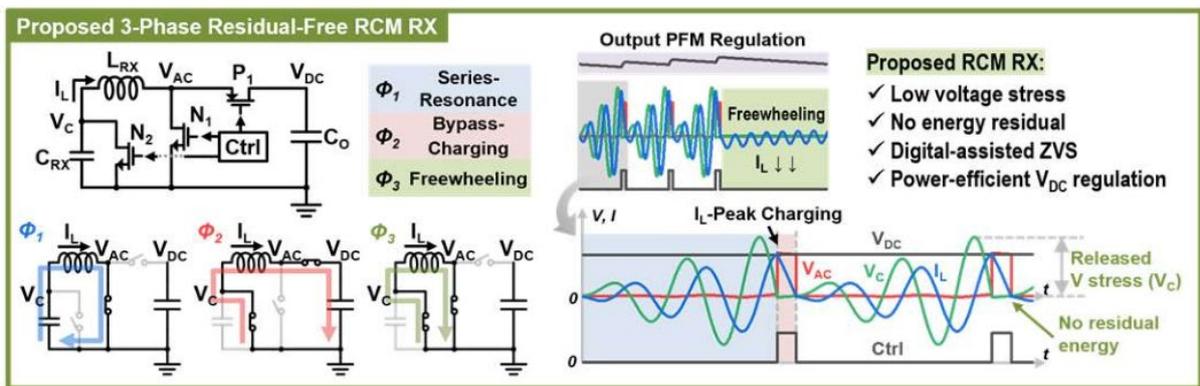
#9-1 기존의 discrete GaN & Si power device용 게이트 드라이버는 CMOS 스위치 등을 통한 hard-switching 방식을 사용하므로, discrete 소자의 parasitic gate capacitance를 충전했던 에너지가 방전 동작에서 전부 손실된다. 이러한 에너지 손실은 전체 컨버터의 효율성에 제한 요소가 되므로, 이 연구에서는 switched-capacitor converter를 사용하여 pseudo-adiabatic gate driving을 구현하였고, 기존 대비 2~7배 적은 스위칭 전력 손실을 달성하였다. 또한, gate driving하게 되는 power device 소자의 parasitic inductance & resistance에 따라서 컨버터의 동작 속도를 조절할 수 있도록 설계하였고, 추가적으로 게이트 드라이버의 다양한 모드를 구현하여 게이트 드라이버의 전력 손실과 동작 속도 간의 trade-off 관계를 보여주었다.



[그림 1] 본 논문에서는 GaN & Si-FET power device들을 사용하여 제안된 게이트 드라이버의 성능을 측정하였다.

제안된 게이트 드라이버는 130 nm RF-SOI 공정으로 설계되었으며, 0에서 5 V까지 게이트 전압을 높이는데 9.2 ns의 비교적 짧은 시간이 걸렸다. 본 논문에서 제안된 게이트 드라이버는 최신 게이트 드라이버들보다 높은 성능을 가지지만, 커패시터들과 직렬 연결되는 트랜지스터들로 인해 기존의 트랜지스터 스위치 기반의 게이트 드라이버보다 넓은 칩 면적이 필요하다는 단점이 존재한다. 또한, 게이트 드라이버의 동작 변화로 인해서 전체 inductive converter의 동작이 영향을 받게 되는데, 기존의 게이트 드라이빙 방식 대비 switched-capacitor gate driver가 전체 시스템에 미치는 영향에 대한 추가적인 분석이 필요하다.

#9-2 본 논문에서는 bio implant에 사용되는 무선 전력 전송(WPT) 회로를 소개한다. 해당 어플리케이션의 WPT는 비침습적으로 bio implant에 전력을 공급하므로, 낮은 coupling factor를 가지는 inductive link로 전력을 전송하게 된다. 이러한 전력 전달의 한계를 고려하여 기존의 WPT 회로들은 주로 병렬-LC 구조 또는 직렬-LC 구조들로 설계되었다. 하지만 기존의 구조들은 device breakdown이나 전력 전달 효율에 문제가 있고, 이를 해결하기 위해서 [그림 2]와 같은 3-phase residual-free resonant current-mode (RCM) 수신기 구조를 제안하였다.

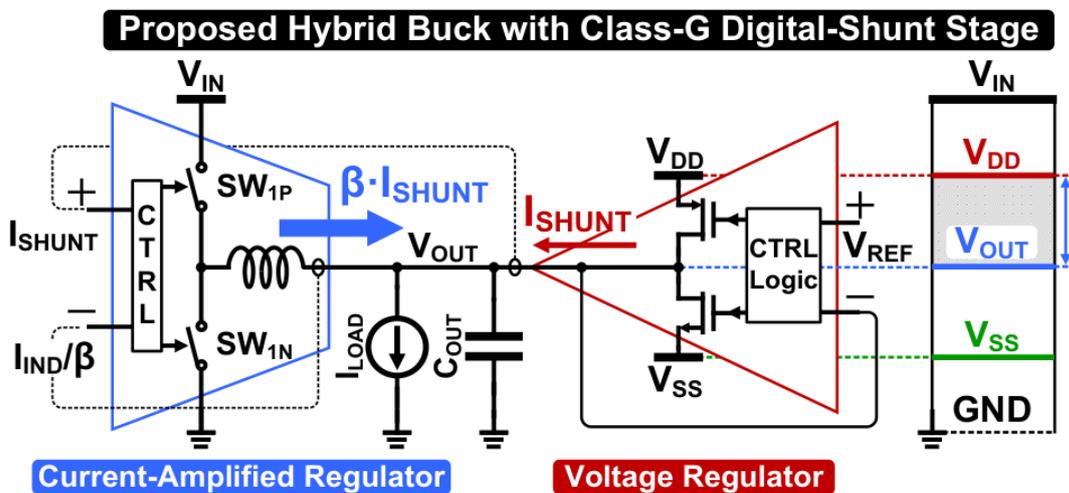


[그림 2] 본 논문에서 제안된 전력 수신기 구조이다.

제안된 구조를 통해서 수신기는 낮은 스위치 전압 스트레스와 잔류 에너지 없는 에너지 전달 동작을 달성하였으며, 출력 전달 효율 또한 상승하였다. 또한, 공진 동작을 위해서 새롭게 디지털 기반으로 동작하는 zero-voltage switching 회로를 제안하였으며, 제안된 WPT RX는 0.2 mA부터 64 mA까지 넓은 범위의 출력 전류를 전달할 수 있고, 최대 94.5%의 높은 전력 변환 효율을 달성하였다.

#9-3 본 논문에서 제안되는 DC-DC converter는 SoC의 workload 변화에 빠르게 대응할 수 있는 어플리케이션을 목적으로 제안되었다. 기존의 Inductive DC-DC converter들은 LC

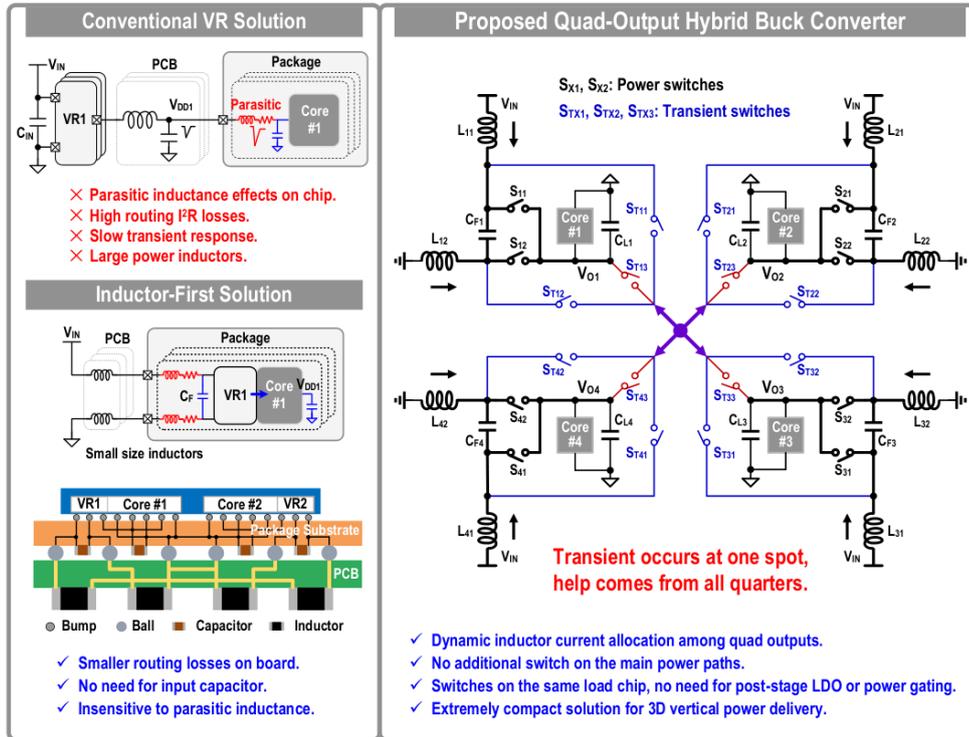
double-pole로 인해 느린 응답 속도를 가지고 있다. 따라서, 최근에는 인덕터 기반의 컨버터의 느린 응답을 극복하기 위해 다른 추가적인 regulator를 inductive stage와 병렬로 연결하여 dynamic voltage scaling (DVS) 성능을 증가시키는 연구들이 발표되었다. 하지만, 병렬 연결되는 저항 기반의 regulator는 inductive stage와는 다르게 비효율적으로 전력을 전달하므로, 기존의 shunt stage를 사용한 power converter들은 handover time 동안 전체 시스템의 전력 전달 효율이 감소한다는 문제가 있었다. 따라서, 본 논문에서는 inductive stage와 shunt stage 간의 output current correlation 및 current 기반 제어 방식을 통해서 DVS 성능을 증가시켰고 shunt stage로 인한 효율 하락을 완화했다.



[그림 3] 본 논문에서 제안된 class-G digital-shunt stage 구조이다.

제안된 게이트 드라이버는 28 nm 공정으로 설계되었으며, 7 V/ μ s의 DVS rate를 달성하였고, 디지털 제어 기반의 190 ns의 짧은 current handover time을 통해서 DVS 기간 동안의 효율 하락을 감소시켰다. 하지만 본 논문에서 사용되는 입력 전압, 인덕턴스 및 출력 커패시터 크기는 기존 논문들과 크게 달라서 새로운 아키텍처로 인한 성능 향상 값을 정확하게 비교하기 어렵다고 생각된다. 또한, 작은 인덕터와 출력 커패시터를 사용하였으므로, 기존의 shunt stage가 없는 buck converter과 비교하였을 때의 DVS 및 transient response 성능 증가율에 대한 추가적인 분석이 필요하다고 생각한다.

#9-4 본 논문에서 제안되는 voltage regulator는 멀티코어 프로세서 어플리케이션에서 코어별 동적 전압 및 주파수 스케일링 동작을 목표로 설계된 회로이다. 해당 어플리케이션의 voltage regulator는 빠른 load transient response를 달성해야 하며, 효율에 영향을 주는 패키지 기생 성분들로 인한 IR drop 또한 고려하여 설계되어야 한다.

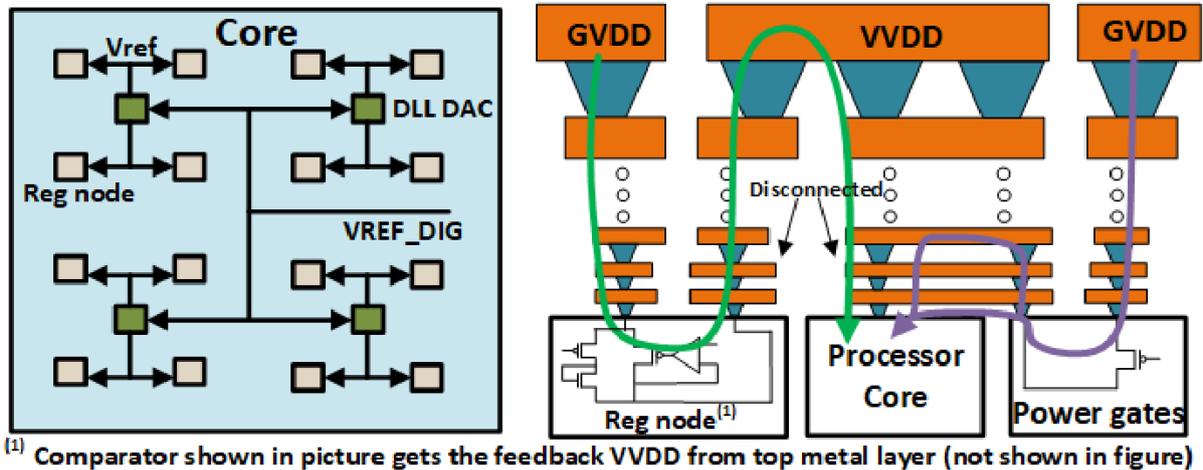


[그림 4] 본 논문에서 제안된 quad-output hybrid buck converter 구조이다.

[그림 4]은 본 논문에서 제시된 구조를 보여준다. 논문에서 제시된 구조는 180 nm 공정을 사용하였고, 패키지의 기생 성분들을 고려한 inductor-first 구조를 기반으로 설계되었다. 또한, 4개의 병렬 컨버터로 구성되어 하나의 컨버터가 transient response에 돌입하게 된다면 다른 3개의 컨버터가 해당 컨버터의 transient response를 도와준다. 이러한 helping-one-spot 기술은 transient response 동안 발생하는 overshoot를 150 mV에서 72 mV로 52% 감소시켰고, 출력 전압 recovery time은 2.5 μ s에서 1.5 μ s로 단축했다. 또한, DCM에서 CCM으로 같이 전류 제어 모드의 변화가 있더라도 기존 아키텍처보다 빠른 회복 시간을 보여주었다. 하지만, 해당 동작은 다른 컨버터들의 출력에 cross-regulation을 발생시켰고, 실제 어플리케이션에서 하나의 컨버터 만이 아니라 다수의 컨버터가 transient response 동작을 하게 되는 상황에서 발생하는 stability issue에 대한 추가적인 설명이 필요하다고 생각된다.

#9-5 본 논문에서는 최신 프로세서의 분산 전력 공급 방식에 적합한 dropout regulator 아키텍처를 제안한다. 최신 프로세서에서는 단일 global supply voltage로도 코어별로 동적 전압-주파수 스케일링 (DVFS) 동작을 하기 위해서 칩 내부에서 다수의 low dropout regulator (LDO)를 통해서 전력을 공급한다. 하지만 기존 분산 전력 공급 방식들은 전력 전달 네트워크(PDN)의 기생 저항 성분이 크고, 시스템의 확장 가능성이 제한된다는 문제

가 있었다. 따라서, 본 논문에서는 기생 저항값을 고려한 병렬 power gating & dropout regulator 구조로 PDN의 기생 저항 성분을 줄이면서 빠른 transient response를 달성할 수 있었다.



[그림 5] 본 논문에서 제안된 분산 전력 공급용 voltage regulator 구조이다.

제안된 voltage regulator는 power gate만 동작하는 high performance 모드, 두 regulator가 병렬로 동작하는 regulation mode, regulator node만 동작하는 retention mode라는 3가지 동작 모드를 가진다. 또한, reference code를 전달받아서 regulation에 필요한 reference voltage를 생성해주는 지연 잠금 루프(DLL) 기반의 디지털-아날로그 컨버터(DAC)를 통해서 voltage regulator의 comparator 동작을 제어한다. 측정 결과로 44 mA에서 315 mA로 load transient response가 있을 때, VVDD 노드는 38 mV의 전압 강하와 108 mV의 전압 상승을 보인다. 낮은 전압에서 높은 전압으로의 DVS 동작에서는 0.85 μ s가 걸렸으며, 반대로 높은 전압에서 낮은 전압으로의 DVS 동작은 1.06 μ s가 걸렸다. voltage regulator의 제어 방식이 dynamic comparator의 스위칭 방식을 통한 regulation이므로 최신 구조들보다 큰 출력 커패시터가 요구되는 단점이 있지만, load regulation에서 높은 성능을 보여주었고 실제 프로세서 어플리케이션에 적합한 분산 전력 공급 방식을 제안하였다는 점에서 큰 의미가 있다.

#9-6 본 논문에서는 차량용 GaN 스위칭 전력 변환기에 중요한 전자기 간섭(EMI) 제어 방식을 제안한다. EMI는 차량용 반도체 설계 과정에서 전기차의 안정성을 고려하여 필수적으로 억제되어야 하는 요소이다. 기존 차량용 스위칭 전력 변환기들은 수동 필터를 통해서 EMI를 억제하였고, 이후 EMI 표준을 충족하는지 테스트하는 방식으로 설계되었다. 하지만, 실제 차량의 동작 상황이 사전에 정의된 테스트 조건과 크게 달라진다면, 스위칭 전력 변환기에 의한 EMI 값이 증가하므로, 차량용 어플리케이션으로는 폐쇄 루프 제어

방식이 더욱 적합하다. 따라서, 본 논문에서는 180 nm 공정을 통해서 stepwise random sampling 메커니즘을 적용한 500 MHz 광대역 폐쇄 루프 EMI 제어 회로를 설계하였다. 논문에서는 1.2 A에서 0.5 A로 출력 전화를 변화시켜도 EMI를 제거한 측정 결과를 보여주었으며, 폐쇄 루프 제어 방식을 사용했으므로 제안된 제어 시스템은 최신 논문들 대비 더욱 다양한 환경에 적응 가능한 시스템이라 할 수 있다.

#9-7 본 논문은 IoT와 현대 컴퓨팅 어플리케이션에 사용되는 완전 집적된 DC-DC 변환기의 문제점들과 혁신들에 대해 리뷰한다. 본 논문은 인덕터 기반의 컨버터와 커패시터 기반의 컨버터에 관해 설명하고, 그들이 가진 근본적인 문제점을 해결하기 위해서 다양한 아키텍처들이 제안되었다고 설명한다. 특히 인덕터와 커패시터를 같이 사용하는 하이브리드 컨버터들 또한 많이 연구되었는데, 여전히 완전 집적 DC-DC 변환기로 사용되기에는 전력 밀도가 부족하다는 문제를 설명하였다. 따라서, 공진 기반의 변환기들이 새롭게 연구되었고, 이들은 gate driving 또한 공진 방식을 사용하여 전력 효율을 높이면서 높은 전력 밀도 또한 달성하였다고 설명한다. 마지막으로 최신 3-D 기반의 집적 회로 기술이 기존 완전 집적된 DC-DC 변환기의 근본적인 문제인 낮은 품질 계수(Q-factor), 높은 등가 직렬 저항, 수동 부품의 낮은 에너지 밀도 등을 해소할 방안이 될 수 있음을 첨언하였다.

저자정보



명예기자 김현진

- 소 속 : 고려대학교 반도체시스템공학과 박사과정
- 연구분야 : PMIC & Ising Machines
- 이 메 일 : jamespul@korea.ac.kr
- 홈페이지 : <https://kilby.korea.ac.kr>

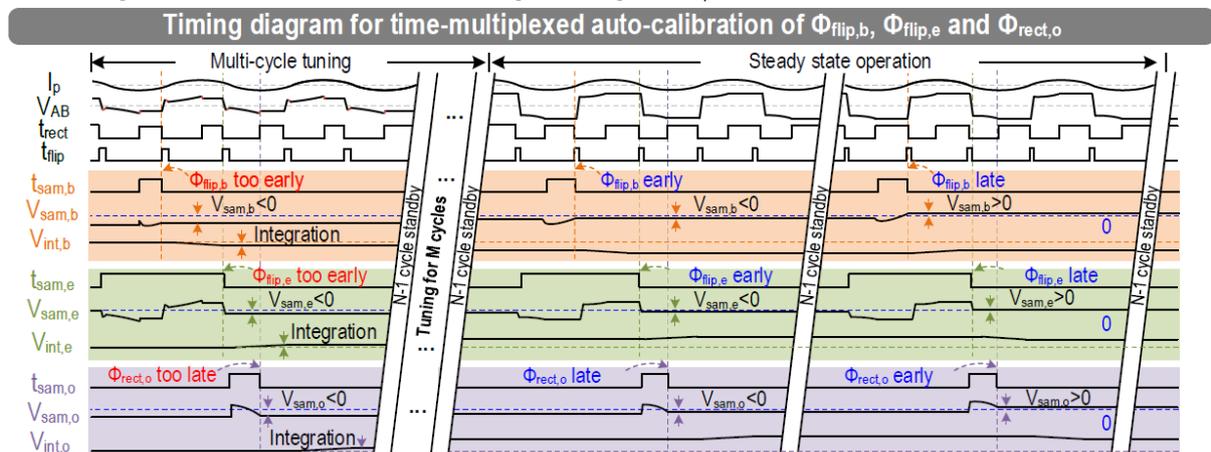
2024 IEEE CICC Review

KAIST 전기및전자공학부 박사과정 박수연

Session 16: Energy Harvesting and Isolated Power Conversion

이번 2024 CICC Session 16의 Energy Harvesting 분야에서는 Piezoelectric, Triboelectric(TENG) 에너지 소자를 활용한 Timing Calibration Technique, High Efficiency MPPT, 공진을 이용한 Energy Recycling 기법들이 발표되었고, Isolated Power Conversion 분야에서는 CMTI, Aux Substrate Transformer를 활용한 Power-Area Efficient Gate Driving, 기존의 LLC converter의 frequency control과 charge control을 결합한 Hybrid Hysteretic Control (HHC)의 Symmetric Pulsewidth balancing technique이 소개되었다. 본 기사는 발표된 총 8편의 기술적 문제 해결 내용을 정리, 요약한다.

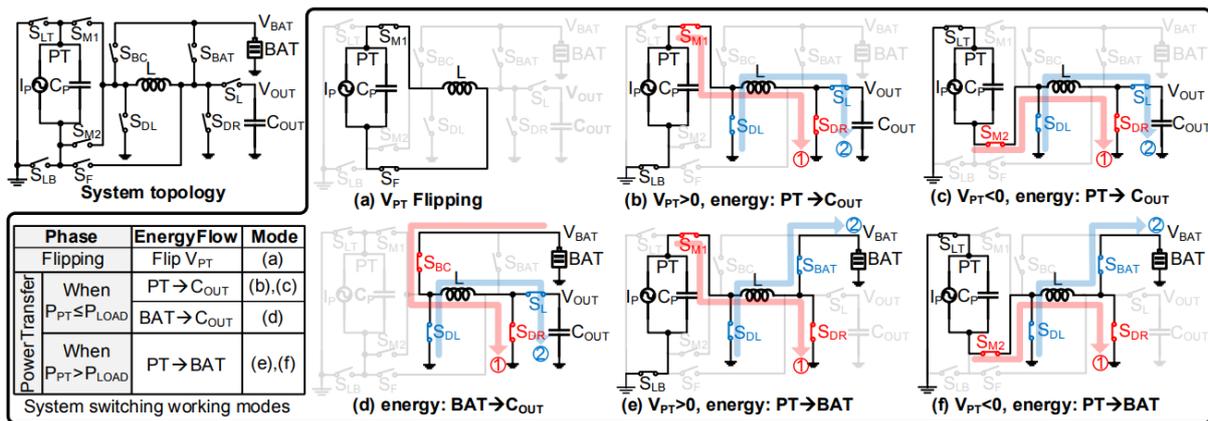
#16-1은 Macau, Tsinghua, Lisboa 대학/IST에서 발표한 논문이다. Ultrasonic piezoelectric harvesting은 AC current source I_p 의 높은 주파수로 인한 짧은 시간 마진과 온도 변화에 의한 C_p 값 변화로, Voltage Flip 및 Rectifier로 current를 전달하는 작은 timing 오차에도 Voltage Flipping Efficiency (VFE)가 크게 감소하는 특징이 있다. 본 논문은 PZT5A와 PZT5H Source를 활용해 -25 ~ 85도 동작 시 변화하는 C_p 값에 따른 주파수 변화에도 VFE를 높일 수 있는 Timing Calibration 기법을 소개하였다. Timing Calibration은 Flipping 시작과 끝 시점, 그리고 Rectifier로 전류를 전달하는 시점의 전압을 sampling하여 적분기와 VCDL로 Timing을 조절하는 방식으로 설계하였다. High-speed comparator 없이 sampling을 이용한 I_p 의 Zero Crossing Timing을 $t_{flip}/2$ 시간으로 구현한 것이 주된 특징이



[그림 1] Voltage Flipping – Flip Begin & End, Rectifier on Timing Calibration Logic

다. Timing Calibration으로 timing Error를 개선하여 최대 340kHz의 PZT5A, PZT5H의 VFE를 -25 ~ 85도에서 Ideal과 1% 미만의 차이로 달성, FBR 대비 최대 Output Power를 x8.13, 7.52배 개선하였다.

#16-2는 Delft 공대에서 발표한 논문이다. 본 논문은 Piezoelectric Harvesting Interface의 전체 시스템인 Rectifier, MPPT, 그리고 Output Regulation을 Single Stage로 구성하여 Cascade Efficiency를 감소시킨 논문이다. Single Stage로 만듦으로써 Piezoelectric Transducer (PT)가 생성한 Power 양 (P_{PT})이 부하에서 요구한 Power (P_{LOAD})보다 작거나 클 수 있는 상황에서 변하는 전력 전달 양상을 아래 그림 2에 나타내었다. P_{PT} 값이 P_{LOAD} 값보다 작을 경우 PPT는 온전히 부하에 전달하며, 클 경우 Storage Capacitor에 인덕터에 저장한 에너지를 저장한다. 또한, Duty-Cycle-Based Algorithm에 기반한 Fully-Digital Fast MPPT를 제안하여 전체 시스템을 설계하였고, 92.5%의 End-to-End Efficiency를 달성하였다.



[그림 2] System Topology 및 P_{PT} , P_{LOAD} 상황에 따른 Inductor Energy 전달 방식

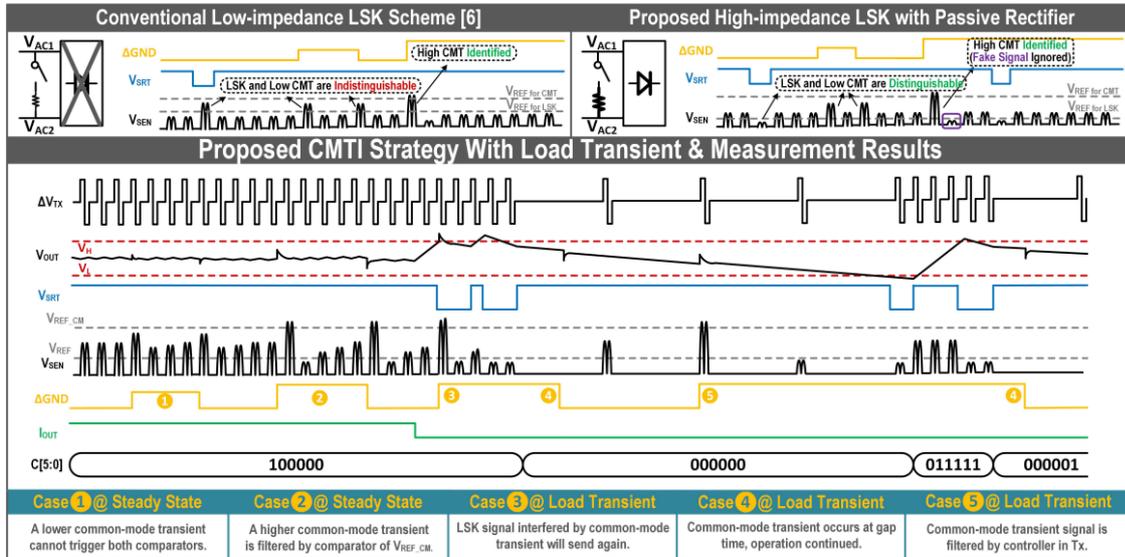
#16-3은 Macau 대학에서 발표한 논문이다. EH 분야의 Constant Energy Packet Extraction (CEPE) MPPT 방법은 DCM으로 인덕터 전류를 부하에 전달하되, t_{ON} 이 t_{OFF} 보다 충분히 클 경우 t_{OFF} 에서의 에너지를 무시하고 근사하여 일정한 에너지를 부하에 전달시켜, t_{ON} 과 V_{IN} 의 곱이 일정한 가정 하에 부하에 보낸 Packet 수를 Counting하여 최대 Extracted Power를 판단하는 방식이다. 부스트 컨버터를 통해 $t_{ON} \times V_{IN}$ 이 일정하도록 V_{IN} 을 Regulation하며 Hill-Climbing 방식처럼 제한된 시간 안에 가장 많은 Packet을 전달하는 동작점을 찾는다. 기존의 CEPE는 VCR이 낮은 경우에 실제 전달하는 한 Packet의 Energy의 근사치와 실제 값의 오차가 커지는데, 본 논문은 낮은 VCR에서도 작은 오차를 가지는 t_{OFF} Compensated CEPE를 제안하여 wide-VCR High MPPT Efficiency를 달성하였다.

#16-4는 Delft 공대에서 발표한 논문이다. Triboelectric Nanogenerator (TENG)은 SSHI 방

법을 사용할 경우 높은 Open Circuit Voltage (V_{OC})으로 높은 Flipping Efficiency를 위해서 큰 인덕터를 사용해야하는 단점이 있고, FOCV 방법으로 MPPT를 할 경우 높은 V_{OC} 를 측정해야하는 어려움이 있다. 본 논문은 TENG의 작은 C_T 값을 활용해 SSHC 방법을 사용, Positive/Negative Phase 별로 변화하는 C_T 값을 고려하여 SSHC-P Cell과 SSHC-N Cell을 활용하여 Dual Output Rectifier를 구성하였고, MOM Capacitor를 이용하여 SSHC-P, N Cell을 완전 집적하여 설계하였다. Positive/Negative Phase 때 변하는 C_T 값에 의해 Rectifier의 optimal Cut-off Duty Cycle이 50%에서 벗어나며, 두 Phase에서 Rectifier로 Conducting 모두 일어나는 경우와 Negative Phase에서는 conducting이 일어나지 않는 경우 MPPT Cut-off Duty Cycle이 달라지며 이를 추종하는 MPPT Logic을 제안하였다. 그 결과 99%의 MPPT Efficiency와 FBR 대비 598%의 Energy Extraction 개선을 달성하였다.

#16-5는 Delft 공대에서 발표한 논문이다. PT로부터 더 많은 파워를 추출하기 위한 방법으로 사용하는 SSH Rectifier는 높은 Voltage Flipping Efficiency가 요구되지만, 일정 수준 이상의 VFE는 Maximum Power Point가 CMOS의 Breakdown voltage를 넘어서는 경우가 있어 low-Flipping Efficiency를 사용하며 CMOS Technology로 Design하기도 한다. 하지만, 낮은 Flipping Efficiency로 인한 Output Power 감소는 불가피하다. 본 논문은 공진형 SSH Rectifier를 제안하여 low Flipping Efficiency로 인해 발생하는 큰 Flipping Loss를 공진을 이용해 Energy를 Recycle하며 높은 power를 추출하는 기법을 제안한다. 그 결과 기존의 Active SSH 대비 1.57배의 power enhancement를 달성하였다.

#16-6은 중국과학기술대학/CLT Microelectronics에서 발표한 논문이다. 본 논문은 Galvanic Isolation된 DC-DC Converter의 Regulation을 위한 RX to TX Back Telemetry로서 LSK를 사용할 때 LSK 신호와 Common Mode Transient 신호를 구분할 수 없는 문제를 해결하기 위한 Common Mode Transient Immunity (CMTI) 기법을 제안하였다. 아래 그림 3과 같이 Output 전압은 Hysteresis Window 내에서 Regulation되며, Hysteresis Window를 벗어날 시 LSK를 통해 TX로 Over/Under Power 상태를 전달한다. 이 때 Common Mode Transient로 인해 LSK 신호 방해를 구분하기 위해 두 개의 Threshold를 가진 Comparator로 LSK와 작은 CMT를 구분가능하게 하였고, 큰 CMT 신호를 구분, 검출 시 LSK로 재전송 및 무시할 수 있도록 설계하였다. 그 결과 30V 가량의 Ground Potential 차이 및 110mA Step의 Load Transient에도 20mV 이내의 output ripple을 달성하였다.



[그림 3] Back-Telemetry Global Regulation을 위한 LSK와 CMT를 구분하게 하는 CMTI 설명

#16-7은 중국과학기술대학/CLT Microelectronics에서 발표한 논문이다. 본 논문은 High-Voltage isolated DC-DC Converter의 TX 단에서 큰 전력 소모를 차지하는 Gate Driving을 높은 Power Density와 효율로 가능하게 하기 위해 Aux-Substrate Transformer를 활용해 5V 전원을 형성하는 방법을 제안하였다. 입력 전압인 24V에서 5V 전원을 만들 시 LDO를 사용할 경우 20%의 효율로 큰 전력 손실을 발생시키지만, 제안하는 방법을 사용할 시 작은 면적으로 79%의 효율을 달성하였고, Adaptive Deadtime 제어를 통해 73%의 최대 전력 전달 효율을 달성하였다.

#16-8은 Fudan 대학에서 발표한 논문이다. 본 논문은 Medium-to-High Power Application에 적합한 LLC Converter를 Hybrid Hysteretic Control로 제어할 시 틀어지는 50%의 Duty Pulse를 Trimming하는 기법을 제안하였다. Ramp를 형성하는 Current Source의 차이와 Pulswidth의 차이에 의한 Duty Unbalancing을 제거하기 위해 Ramp를 형성하는 Source/Sink Current Source에 병렬 전류원을 연결하여 두 전류의 합이 일정하도록 Negative Feedback을 형성하여 50%의 Duty Balancing을 맞추었다. 또한, Light load에서의 효율을 향상시키기 위해 Burst Mode Control로 동작하도록 설계하였다. 그 결과, 5.347us 4.878us의 Duty에서 4.91us, 4.87us의 Pulswidth를 달성하였고 390V 입력 전압, 24V 출력 전압, 0.1A 부하에서 88.37%의 높은 light load efficiency를 달성하였다.

저자정보



명예기자 박수연

- 소속 : KAIST 전기 및 전자공학부 박사과정
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://www.icdesignlab.net>

2024 IEEE CICC Review

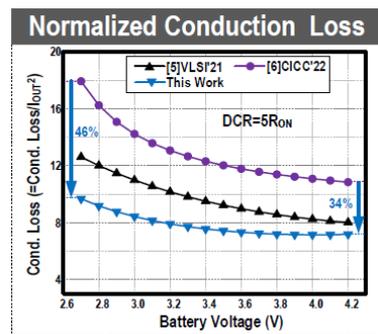
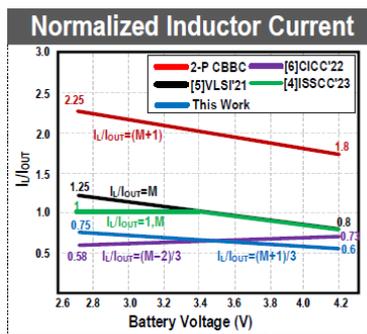
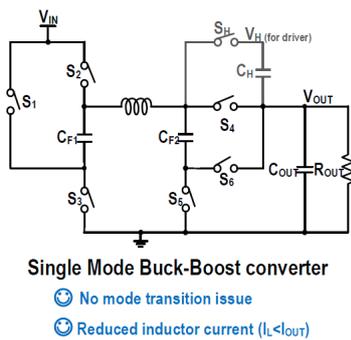
경북대학교 전자전기공학부 박사과정 여성일

Session 22. DC-DC Converters

이번 CICC 2024의 Session 22는 DC-DC Converters 라는 주제로 총 8편의 논문이 발표되었다. Inductor loss를 줄이거나 Transient response를 빠르게 하는 등 다양한 기술이 들어간 DC-DC Converter에 관련된 논문이 소개되었다.

22-1

이 논문은 University of Science and Technology of China에서 발표한 논문으로 Li-ion battery를 입력으로 하는 시스템에 사용되는 Buck-Boost Converter에 관련된 논문이다. 기존 Buck-Boost Converter는 Efficiency를 위해 mode를 나누거나 volume이 큰 인덕터를 사용하고 있었다. 이러한 방법은 모드 변환 시 문제가 발생할 수 있고 면적이 넓어진다는 단점이 있다. 본 논문에서는 이러한 단점을 개선하기 위해 Single-Mode Always-Dual-Path Buck-Boost Converter를 제안하고 있다. 그림 1에서 볼 수 있듯 단일 모드로 동작하며 모드 변환 시 발생할 수 있는 문제를 없앴으며 전류의 path를 항상 2개로 가져가 인덕터 전류를 줄일 수 있었다.

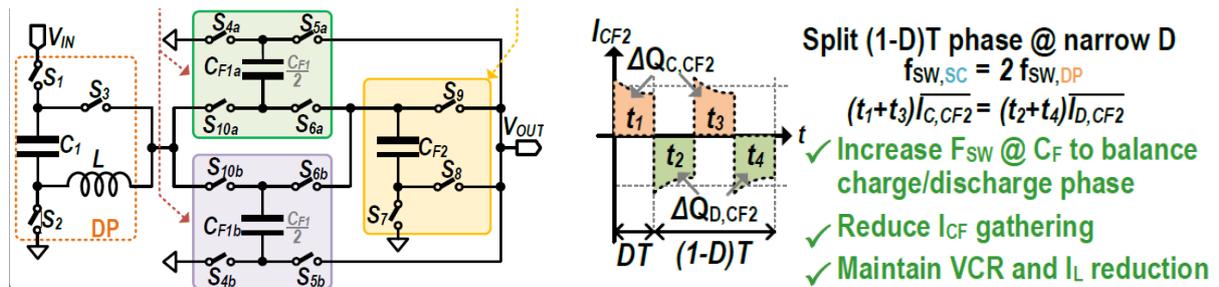


[그림 1] 22-1에서 제안하는 Power stage와 주요 지표 비교

22-4

이 논문은 University of Macau에서 발표한 논문으로 전기 자동차나 USB-PD와 같이 48V

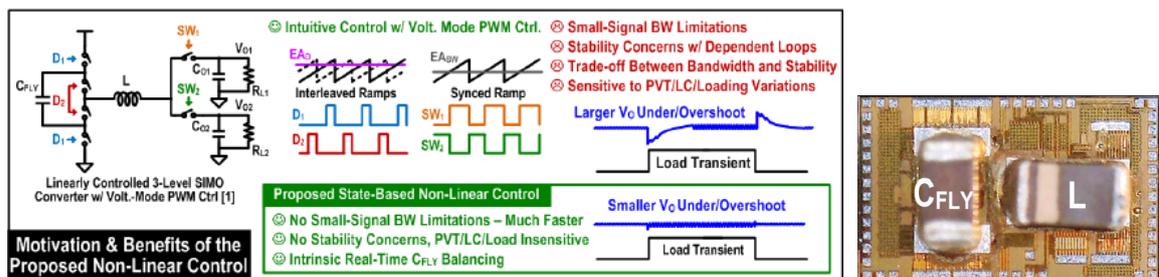
전압을 입력으로 하는 시스템에 사용되는 DC-DC Converter에 관련된 논문이다. 기존의 converter들은 High step down ratio 상황에서 높은 효율과 전력 밀도를 확보하는데 어려움이 있었다. 이 논문은 그림 2에서 볼 수 있듯이 multi-phase 동작을 통해 capacitor가 방전할 때 peak current가 발생하는 것을 막을 수 있었고 multi-path 동작을 통해 inductor에 흐르는 전류를 감소시켜 inductor loss를 줄일 수 있었다. 또한 이 구조는 2개의 모드로 동작하며 9V-48V라는 넓은 입력 전압 범위에서 원하는 출력 전압을 만들어내고 있다.



[그림 2] 제안하는 구조의 Conceptual diagram

22-5

이 논문은 Iowa State University에서 발표한 논문으로 3-Level Single-Inductor Multiple-Output (SIMO) DC-DC Converter에 관련된 논문이다. SIMO converter는 하나의 인덕터만을 사용해 여러 개의 출력을 만들어 낼 수 있기 때문에 비용과 면적 면에서 장점이 있다. 하지만 여러 개의 출력이 서로 영향을 줄 수 있기 때문에 이를 제어하는 것이 중요하다. 기존의 3-level SIMO converter들은 linear voltage-mode PWM control을 사용하였는데 이러한 방식은 직관적이나 bandwidth 제한이 있어 제어하는데 어려움이 있었다. 이 논문은 그림 3에서 볼 수 있듯이 non-linear inductor charge control 방식을 이용하여 droop를 줄이고 더 좋은 load transient 성능을 보여줄 수 있다. 이를 통해 기존 논문에서 250mA 이하이던 load step을 1A까지 올릴 수 있었다. 또한 수동 소자를 chip 위에 위치 시킴으로써 기생 성분을 줄여 더 나은 신뢰성과 효율을 보여주고 있다.



[그림 3] 제안하는 구조의 동작 원리와 Die photo

저자정보



명예기자 여성일

- 소 속 : 경북대학교 전자전기공학부 박사과정
 - 연구분야 : DC-DC Converter
 - 이 메 일 : sungil1020@knu.ac.kr
 - 홈페이지 : <https://sites.google.com/view/icslab>
-

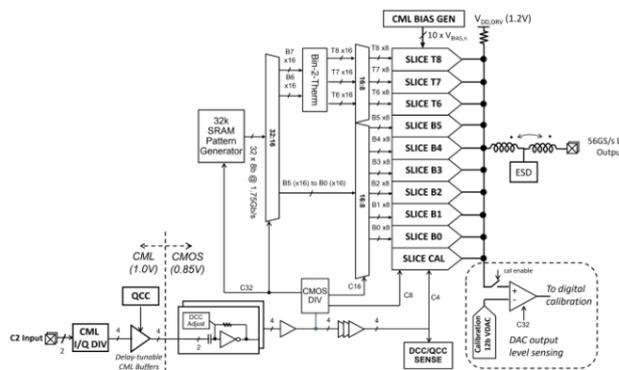
2024 IEEE CICC Review

서울대학교 전기정보공학부 박사과정 박현준

Session 23 Wireline Transceivers and Clocking Techniques

이번 2024 IEEE CICC의 Session 23은 Wireline Transceivers and Clocking Techniques라는 주제로 총 5편의 논문이 발표되었다. 이 세션에서는 유선 송신기에서 고속전송을 달성하기 위해 사용되는 변조 방식(PAM)을 지원할 수 있는 Interface가 소개되었다.

#23-1 100 Gb/s 이상의 유선 송신기에서 고차 펄스 진폭 변조(PAM-Q)와 주파수 영역 변조(OFDM)등의 복잡한 변조방식을 송신하기 위해 높은 선형성을 가진 디지털-아날로그 변환기(DAC)가 필요하다. 이를 위해 본 논문에서는 전류 모드 로직(CML)과 전압 모드 소스-시리즈 종단(SST) 드라이버의 트레이드오프를 분석하고, DAC의 선형성을 개선하는 보정 기술을 제안한다. 첫 번째 사례는 7nm FinFET 기술을 사용한 8비트 56-GS/s weighted CML DAC으로, DAC output을 감지하여 error를 산출하고 driver bias voltage를 replica를 통해 조절하면서 각 weight를 보정하는 방식을 사용한다. 두 번째 사례는 4nm FinFET 기술을 사용한 8비트 72-GS/s SST DAC로, 고차 변조를 지원하기 위한 뛰어난 정적 선형성을 제공한다. 이 두 설계는 보정 알고리즘을 통해 DAC의 선형성을 향상시키고, 이를 통해 고속 통신 링크에서 필요한 높은 성능과 효율성을 달성하므로 200+ Gb/s 유선 통신 링크를 위한 고급 변조방식을 지원하는 송신기의 가능성을 보였다 할 수 있다.



[그림 1] 23-1 송신기 아키텍처

#23-2 224Gb/s 이상의 유선 송신기에서는 고차 펄스 진폭 변조(PAM-4)와 주파수 영역 변조(OFDM) 등의 복잡한 변조 방식을 송신하기 위해 높은 신호 무결성을 가진 디지털-신호 처리(DSP) 기반의 CMOS 송수신기가 필요하다. 이를 위해 본 논문에서는 다양한 변조 방식과 오류 수정 코드를 사용하여 224Gb/s에서 신호 무결성을 분석하고, DAC 기반 송신기(TX)와 ADC 기반 수신기(RX)의 아키텍처와 회로 구현 기술을 제안한다. 첫 번째 사례는 Intel 7(구 10nm) CMOS 기술을 사용한 224Gb/s PAM-4 송신기로, 고성능 데이터 직렬화 및 클로킹 아키텍처를 통해 신호 무결성을 보장한다. 송신기에서는 각 DAC 출력의 오류를 감지하고, 클로킹 아키텍처를 통해 정확한 타이밍을 유지하여 신호 왜곡을 최소화한다. 두 번째 사례는 TSMC N5(5nm) CMOS 기술을 사용한 224Gb/s PAM-4 수신기로, ADC 기반 수신기와 고속 데이터 인터리빙을 통해 높은 신호 무결성을 제공한다. 수신기에서는 고속 데이터 변환과 필터링을 통해 신호 대 잡음비(SNR)를 개선하고, 변조된 신호를 정확하게 복원한다. 이 두 설계는 DSP 기반 보정 알고리즘을 통해 신호 무결성을 크게 향상시키며, 이를 통해 224Gb/s 유선 통신 링크에서 고급 변조 방식을 지원하는 송수신기의 가능성을 입증하였다.

#23-3 Low Jitter 클럭 생성과 주파수 합성은 현대 통신 및 컴퓨팅 시스템에서 필수적이다. 이를 위해 본 논문에서는 45nm RF SOI 기술을 사용하여 -258.5 dB 파워-지터 수치(FoM)를 달성하는 단일 코일 서브샘플링 PLL(SSPLL)을 설계하였다. 제안된 PLL은 재구성 가능한 이산 시간 적분 위상 검출기(DTPD)를 사용하여 29 GHz에서 작동하며 주파수 분할이 필요 없다. DTPD는 저전력, 고속 및 저잡음을 특징으로 하며, VCO 출력 전류를 감지하여 에러 신호를 생성하고 이를 루프 필터에 주입하여 위상 오차를 보정한다. 이를 통해 전력 소모와 설계 복잡성을 최소화하면서 높은 성능을 달성하였다. VCO 및 VCO 버퍼는 매칭된 회로 토폴로지를 사용하여 전력 소모를 줄이고 설계 복잡성을 최소화한다. 안정성 문제를 완화하기 위해 DTPD 회로는 더블 페이즈 구조로 전환할 수 있으며, 피드백 업데이트 속도를 높이고 루프 위상 여유를 증가시키며 지터 피킹을 줄인다. 10 kHz에서 100 MHz까지 통합된 PLL 출력의 총 랜덤 지터는 25.6 fs-rms로 측정되었으며, 1 MHz 오프셋에서의 출력 PN은 더블 페이즈 모드에서 -128 dBc/Hz로 나타났다.

#23-4 점점 증가하는 처리량 수요로 인해 높은 데이터 속도로 작동하는 유선 송신기(TX)의 개발이 촉진되었다. PAM-4 신호는 NRZ에 비해 두 배의 대역폭 효율을 제공하지만, PAM-4의 비대칭 전환 시간으로 인해 불균등한 스위칭 지터(SWJ)가 발생하여 수평 아이 개구가 감소하고 신호 무결성이 저하된다. 본 논문에서는 불균등한 SWJ를 해결하고 ISI를 완화하기 위해 128Gb/s PAM-4 송신기를 제안한다. 제안된 송신기는 엣지 부스트 펄스 발생기와 비대칭 프리-엠퍼시스 프랙셔널 스페이싱 FFE(AFS-FFE)를 사용하여 대역폭을 향상시키고 송신기 출력 신호의 엣지 전환 속도를 가속화한다. 제안된 송신기는

28nm CMOS 기술로 제작되었다. MSB와 LSB 데이터를 패턴 생성기를 통해 생성하고, thermometer 코드 신호로 변환하여 FIR 생성기로 전달하여 최대 5탭 FFE 신호를 생성한다. 8:4 MUX는 데이터를 1UI씩 이동시켜 출력 단계로 전달하며, 각 드라이버 번들은 다섯 개의 UI-스페이싱 FFE 세그먼트와 한 개의 프리-엠퍼시스 AFS-FFE 세그먼트를 포함한다. 각 세그먼트는 출력 다중화 토폴로지와 테일리스 CML 드라이버를 채택하여 독립적으로 구성할 수 있다. T-코일은 TX 출력 수동 네트워크에 포함되어 출력 대역폭을 확장하고 반사 손실을 개선한다. 클록 경로에서는 차동 클록 신호를 수신하고 QEC와 적응형 듀티 사이클 보정(DCC) 회로를 사용한다. 엣지 부스트 펄스 발생기는 대역폭을 향상시키고 송신기 출력 신호의 엣지 전환 속도를 가속화하여 TX 대역폭을 23% 증가시킨다. 128Gb/s PAM-4 모드에서 송신기는 192mW(1.5pJ/b)를 소비하며, 총 활성 면적은 0.18mm²이다. 측정 결과, 제안된 AFS-FFE와 엣지 부스트 펄스 발생기를 통해 불균등한 SWJ 문제를 해결하고 최소 아이 너비를 67% 확장하여 0.4UI의 timing margin을 달성하였다. 이 연구는 기존의 송신기 설계와 비교하여 신호 무결성과 대역폭에서 뛰어난 성능을 입증하였다.

#23-5 고속 통신 시스템에서는 넓은 주파수 범위와 세밀한 주파수 해상도, 낮은 위상 잡음의 위상 고정 루프(PLL)가 필수적이다. 이를 위해 본 논문에서는 ADC 기반 직접 위상 디지털화를 통해 DTC 없이 낮은 프랙셔널 스퍼와 낮은 지터를 달성한 8-14GHz fractional-N PLL을 제안한다. 제안된 PLL은 40nm CMOS 기술을 사용하며, 적분기 기반 시간-전압 변환기와 10비트 SAR ADC를 활용하여 위상 오차를 직접 디지털화한다. 첫 번째 사례는 적분기 기반 시간-전압 변환기와 10비트 SAR ADC를 사용한 직접 위상 오차 디지털화 방식으로, DTC/DAC 및 선형성 보정 없이 높은 선형성을 유지한다. 적분기의 전류원은 캐스코드 트랜지스터와 이득 부스트 증폭기를 사용하여 구현되며, 시간-전압 변환을 위해 2V/ns의 차동 경사를 생성한다. 두 번째 사례는 100MS/s 비동기식 SAR ADC로, 11비트 CDAC 배열과 부스트랩 샘플링 스위치, 더블-테일 비교기를 포함하여 왜곡을 최소화하고 선형성을 유지한다. 듀얼 모드 VCO는 두 가지 작동 모드 간의 불균형을 보상하기 위해 자기 및 전기 결합 강도를 조절하며, 8-14GHz 주파수 범위에서 일관된 튜닝 이득과 위상 잡음 프로파일을 유지한다. 제안된 PLL은 40nm CMOS 기술로 제작되었으며, 0.32mm²의 코어 면적을 갖고, 1.1V 공급 전압에서 동작하며, VCO는 0.7V 공급 전압에서 동작한다. 측정 결과, 10kHz에서 30MHz까지 통합된 PLL 출력 지터는 8-14GHz 주파수 범위에서 180fs 이하를 유지하였다. 디지털 도메인 $\Delta\Sigma$ 양자화 잡음 제거를 통해 프랙셔널 스퍼를 30dB 이상 억제하였다. 총 전력 소모는 1721mW이며, VCO가 주요 전력 소모원으로 1013mW를 소모한다. 본 연구는 DTC/DAC 및 선형성 보정 없이도 뛰어난 성능을 달성한 PLL을 제안하며, 제안된 위상 디지털화 기법은 향후 더 진보된 공정 노드에서 성능이 더욱 향상될 것으로 기대된다.

저자정보



박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>