

5.1 Scientific Analog 사 XMODEL

A. 목적 (모델 생성 및 시뮬레이션)

XMODEL 은 아날로그 회로의 동작을 디지털 검증환경인 SystemVerilog 상에서 모델링하고, 이를 포함한 혼성신호 시스템 IC 의 동작 및 성능을 빠르고 정확한 시뮬레이션을 통해 검증하는 툴입니다.

B. 구분 (모델기반의 혼성신호 시스템 시뮬레이터)

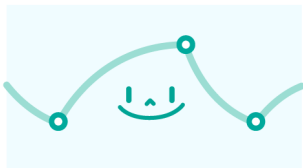
XMODEL 은 모델을 기반으로 아날로그 및 혼성신호 IC 시스템을 검증하는 시뮬레이터라는 점에서 기존의 Verilog-AMS, Matlab/Simulink, CppSim과 유사한 목적과 기능을 가지나, 순수한 디지털 시뮬레이터인 SystemVerilog상에서 동작한다는 점, 정확도와 실행속도가 10~100배 이상 월등하다는 점, 비트에러율 같은 통계적인 분석이 가능하다는 점, 아날로그-디지털 co-simulation을 지원한다는 점 등에서 차별성을 갖습니다.

C. Supported platform and O/S System

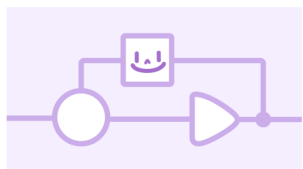
- Linux RedHat Enterprise 64-bit Release 6.0 이상
- Synopsys VCS (I-2014.03 이후 버전), Cadence XCELIUM (18.09 이후 버전), 또는 Mentor Questa (10.4b이후 버전)
- Cadence Virtuoso Schematic Editor (IC 6.1.5 이후 버전)

D. 특성 및 기능

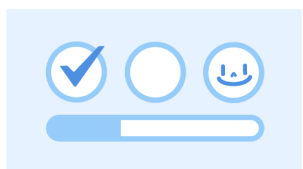
Scientific Analog 사는 현재 XMODEL, GLISTER 그리고 MODELZEN 의 세가지 제품을 보유하고 있습니다.



XMODEL은 다양한 아날로그 회로들을 기존의 디지털 검증 환경인 SystemVerilog상에서 쉽게 모델링하고 시뮬레이션 할 수 있게 해주는 확장패키지입니다.



GLISTER는 Cadence Virtuoso 환경에서 아날로그 모델을 코드 작성없이 schematic 형태로 쉽게 만들고 시뮬레이션 할 수 있게 해주는 GUI 환경입니다.



MODELZEN은 임의의 아날로그 회로로부터 SystemVerilog 모델을 자동으로 생성해주는 툴입니다.

XMODEL

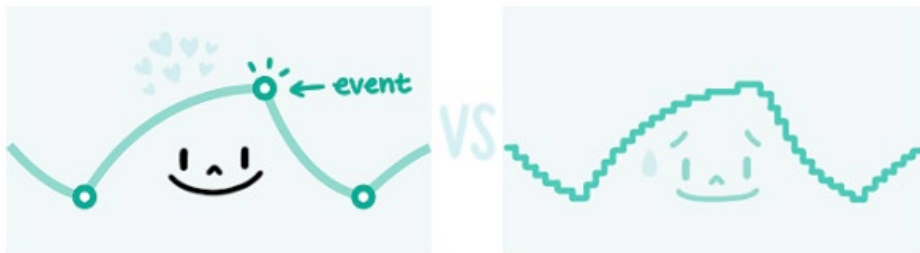
XMODEL은 다양한 아날로그 회로들을 기존의 디지털 검증 환경인 SystemVerilog상에서 쉽게 모델링하고 시뮬레이션 할 수 있게 해주는 확장패키지입니다. XMODEL은 현재 Synopsys의 VCS, Cadence의 XCelium(구 NCVerilog), MentorGraphics사의 Questa(구 ModelSim)를 지원하고 있습니다.



Event-Driven 방식의, 빠른 Functional 모델 시뮬레이션

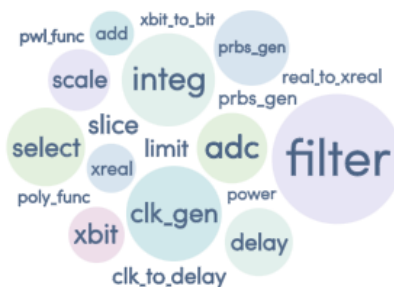
XMODEL은 단순값이 아닌 함수식을 사용해 아날로그 파형을 표현하고, 이를 event-driven 방식으로 계산하는 혁신적인 알고리즘을 사용합니다. XMODEL의 primitive들로 동작모델 (functional model)을 구성하면, 정확한 결과를 위해 파형 상의 많은 점을 계산해야 하는 Verilog-AMS 또는 Real-Number Verilog에 비해 10~100배 이상의 빠른 실행속도를 낼 수 있습니다.

XMODEL VS OTHER SIMULATORS



XMODEL Primitive를 이용한 빠르고 쉬운 모델 작성

XMODEL은 다양한 아날로그 모델과 테스트벤치를 만들 수 있는 풍부한 primitive를 제공합니다. 간단히 primitive들을 놓고 연결만 해보세요! Real-Number Verilog와는 달리 직접 코딩을 할 필요가 없습니다. XMODEL의 각 primitive는 파라미터를 통해 광범위한 기능들을 표현합니다. 이들을 기본 요소 삼아 당신만의 모델 라이브러리를 구축해보세요!



```

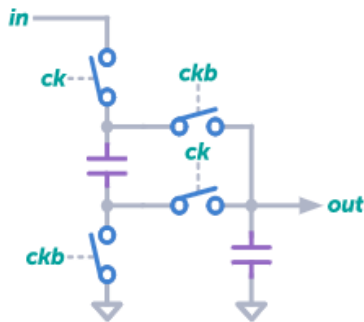
module dfe_trx (
    output xbit data_out,
    input xbit clk,
    input xbit data_in
);
// signal declarations
xreal tx, rx, fb, eq1, eq2;
// instance declarations
transition U0 (.in(data_in), .out(tx));
tline U1 (.pos_1(tx), .neg_1(ground),
        .pos_2(rx), .neg_2(ground));
filter #(
        .poles({5e+08,0.0,1e+09,0.0}),
        .zeros({1.5e+08,0.0}))
U2 (.in(rx), .out(eq1));
add U3 (.in(fb,eq1), .out(eq2));
compare U4 (.in(eq2), .in_ref(ground),
        .trig(clk), .out(data_out));
filter_fir #(
        .data({0.3,0.1}))
U5 (.in(data_out), .trig(clk), .out(fb));
endmodule
    
```



SystemVerilog에서 수행가능한 회로 시뮬레이션

XMODEL을 사용하면, 원래 아날로그 회로 시뮬레이션을 할 수 없는 디지털 시뮬레이터인 SystemVerilog 상에서도 저항, 커패시터, 인덕터, 다이오드, 트랜지스터 등의 소자들을 직접 활용하여 아날로그 회로를 표현하고, 이를 XMODEL의 event-driven 방식으로 매우 빠르게 시뮬레이션할 수 있습니다. 이 기능은 특히 아날로그 회로의 비선형성, 로딩 효과, 스위칭 효과, 다중드라이버 효과 등을 모델링하는데 매우 유용합니다. 놀라운 점은, 이러한 회로 시뮬레이션이 SPICE를 전혀 사용하지 않는 순수 SystemVerilog 환경에서 실행 가능하다는 것입니다.

CIRCUIT-LEVEL MODELING



```
module sc_converter(
  input xreal in,
  output xreal out,
  input xbit ck, ckb
);
xreal    n1, n2;

switch  sw1(.pos(in), neg(n1), .ctrl(ck));
switch  sw2(.pos(n1), neg(out), .ctrl(ckb));
switch  sw3(.pos(n2), neg(out), .ctrl(ck));
switch  sw4(.pos(n2), neg(`ground), .ctrl(ckb));

capacitor #(.C(1e-12)) C1(.pos(n1), .neg(n2));
capacitor #(.C(1e-12)) C2(.pos(n2), .neg(`ground));

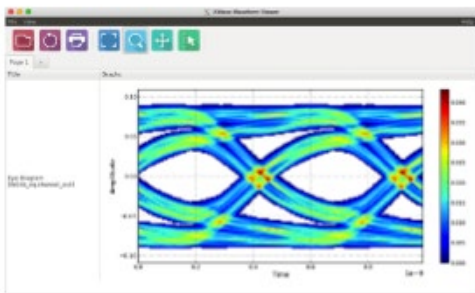
endmodule
```



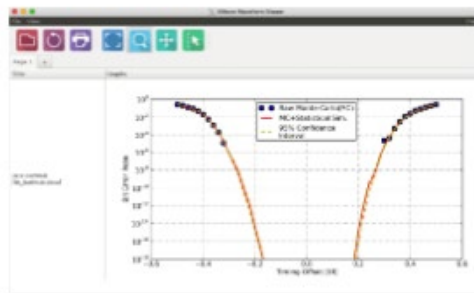
효율적인 시간 도메인 노이즈 시뮬레이션

XMODEL은 시간 도메인 시뮬레이션을 수행하면서 신호의 통계적 특성을 기존의 몬테-카를로 방식에 비해 매우 빠른 속도로 계산할 수 있습니다. 예를 들어, 고속 유선 트랜시버의 비트에러율(BER)을 10^{-12} 정밀도로 계산하는데 단 10초 밖에 걸리지 않습니다.

EYE DIAGRAM



BER BATHTUB



XMULAN으로 시뮬레이션 자동화

XMULAN은 XMODEL에 포함되어 있는 파이썬 라이브러리입니다. XMULAN을 활용하면, 파라미터를 변화시키며 시뮬레이션을 실행하거나 그 결과를 수집하여 후처리하는 다양한 파이썬 스크립트를 작성할 수 있습니다.



XMODEL-SPICE Co-simulation

XMODEL primitive 로 작성한 SystemVerilog 모델은 호스트 시뮬레이터가 지원한다면, SPICE netlist, Verilog-AMS, 또는 Real-Number Verilog 모델과도 연동할 수 있습니다.

5.2 Scientific Analog 사 GLISTER

A. 목적 (Top-Down 모델 작성 및 시뮬레이션)

GLISTER는 직접 코딩 없이도 아날로그 회로의 모델들을 Cadence의 Virtuoso 환경에서 schematic 형태로 쉽게 표현하고, 이로부터 SystemVerilog 모델을 추출하여 시뮬레이션할 수 있게 해주는 GUI 환경입니다.

B. 구분 (Top-Down 방식의 스키매틱 모델 작성 및 시뮬레이션을 수행할 수 있는 GUI 환경)

GLISTER는 SystemVerilog 언어에 익숙하지 않은 아날로그 설계자들도 XMODEL의 primitive들을 활용해 쉽게 아날로그 모델을 작성할 수 있게 해주는 툴입니다. 즉, 아날로그 설계자들에게 익숙한 Cadence Virtuoso 환경에 통합된 GUI 환경으로서, symbol의 형태로 제공되는 XMODEL primitive들을 schematic 상에 배치하고 연결함으로써 원하는 모델을 작성할 수 있는 직관적인 인터페이스를 제공합니다. 그리고, 이 환경에서 직접 시뮬레이션을 실행하고, 파형 등의 실행 결과를 확인할 수 있습니다.

C. Supported platform and O/S System

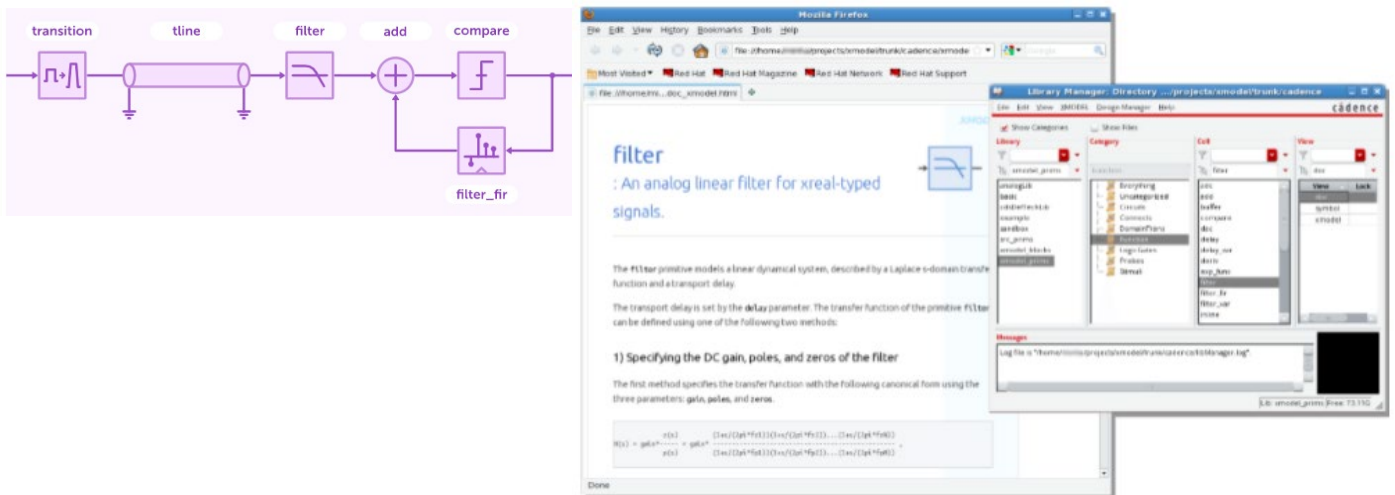
- Linux RedHat Enterprise 64-bit Release 6.0 이상
- Cadence Virtuoso Schematic Editor (IC 6.1.5 이후 버전)

D. 특성 및 기능



XMODEL Primitive 심볼을 이용한 Schematic 형태의 모델 작성

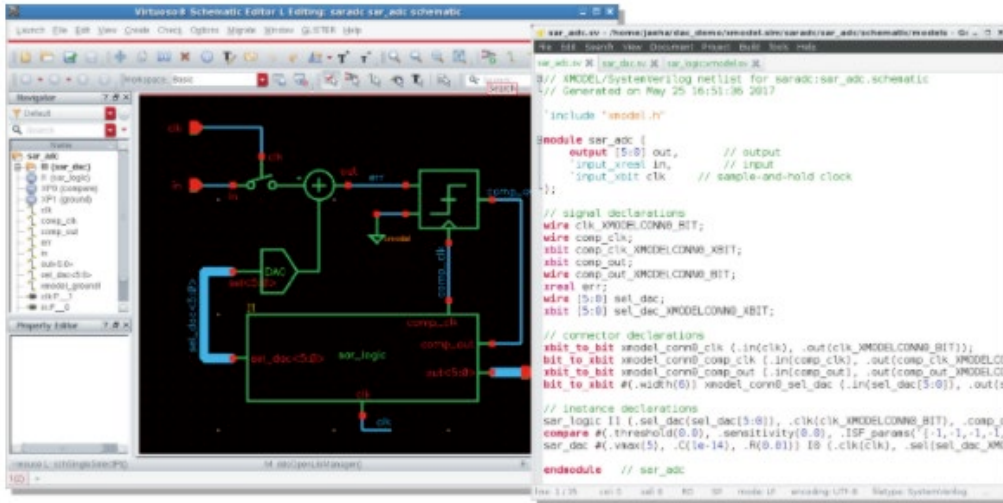
GLISTER는 XMODEL의 다양한 primitive들을 schematic symbol의 형태로 제공합니다. 따라서 사용자는 다양한 아날로그 회로의 모델들을 코딩 작성없이 단순히 schematic 위에 그 symbol들을 배치하고 도선으로 연결하는 것만으로 쉽게 표현할 수 있습니다. 특히, GLISTER 환경에서는 각 primitive에 대한 설명을 쉽게 열어볼 수 있어 모델 작성을 더 용이하게 해줍니다.





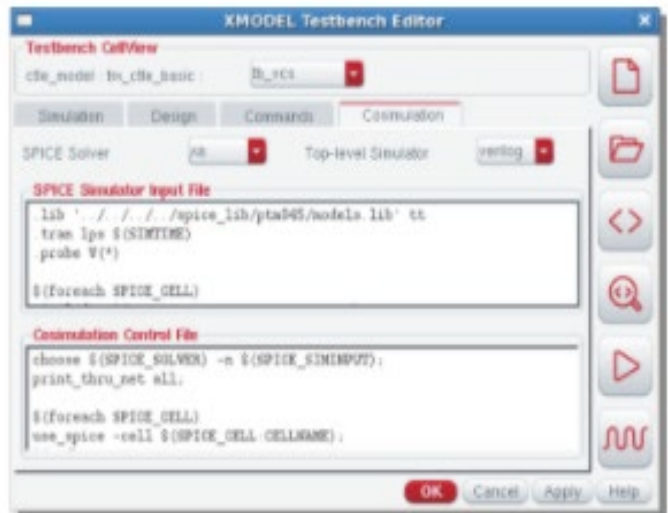
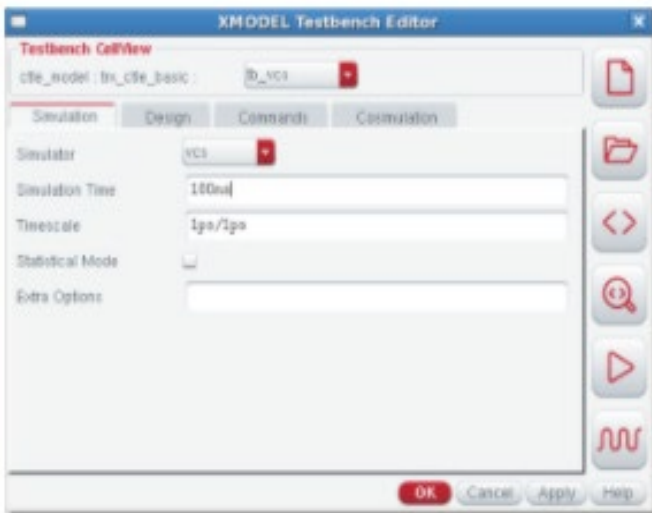
Hierarchical Netlisting을 통한 SystemVerilog 모델 생성

아날로그와 디지털 신호가 혼재하는 모델에서는 schematic 상의 각 도선이 wire, real, xbit 및 xreal 등의 다양한 signal type을 가질 수 있습니다. GLISTER는 이와 같은 signal type의 차이를 이해하는 유일한 netlister이며, 각 도선이 연결하는 primitive의 종류에 따라 적절한 signal type을 자동으로 인지할 수 있습니다. 게다가, 서로 다른 type의 신호들간에 연결이 필요할 때 그 신호의 type을 변환해주는 connect primitive들도 자동으로 삽입할 수 있습니다.



통합된 Testbench 관리

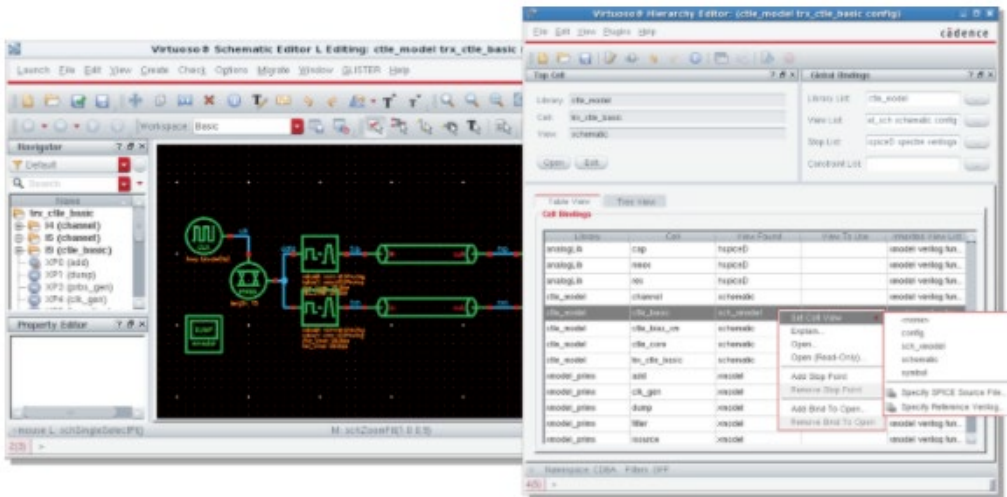
GLISTER의 Testbench Editor를 사용하면, 대상 design의 hierarchy 구성, 시뮬레이션의 각종 옵션 등 시뮬레이션 테스트벤치에 해당되는 내용들을 GUI 환경을 통해 정의할 수 있고, 그 내용을 Cadence 설계 database상의 cellview의 형태로 저장할 수 있습니다. 또한 GLISTER는 이 테스트벤치를 netlisting할 때, command-line 상에서 Makefile 스크립트를 통해 직접 실행할 수 있는 형태로 시뮬레이션 폴더를 구성하므로 일괄처리도 용이하게 수행할 수 있습니다.





XMODEL-SPICE Co-simulation 지원

대상 design의 hierarchy에 회로 schematic view와 모델 schematic view들이 함께 있는 경우, GLISTER는 사용자가 XMODEL-SPICE co-simulation을 수행하고자 한다고 판단하고, 그에 알맞은 SystemVerilog 모델 파일, SPICE 또는 Spectre netlist 파일 및 co-simulation에 필요한 추가 파일들을 자동으로 준비해줍니다. 이러한 대상 design hierarchy는 Cadence의 Hierarchy Editor를 사용하여 선택할 수 있습니다. GLISTER의 Testbench Editor는 Synopsys의 VCS와 XA, Cadence의 NCVerilog와 APS 등 다양한 시뮬레이터들에 대해서 일관성 있는 사용자 인터페이스를 제공합니다.



Cadence Analog Design Environment (ADE)와의 통합

GLISTER-ADE 통합환경을 통해, ADE 세션에서 XMODEL을 시뮬레이터로 선택하여 테스트벤치 구동, netlist 생성, 시뮬레이션 실행, 파형 확인 등 주요 GLISTER 작업들을 익숙한 ADE 메뉴와 명령어로 수행할 수 있습니다.



5.3 Scientific Analog 사 MODELZEN

A. 목적 (Bottom-up 모델의 자동생성)

MODELZEN은 임의의 아날로그 회로로부터 SystemVerilog 모델을 자동으로 생성해주는 툴입니다.

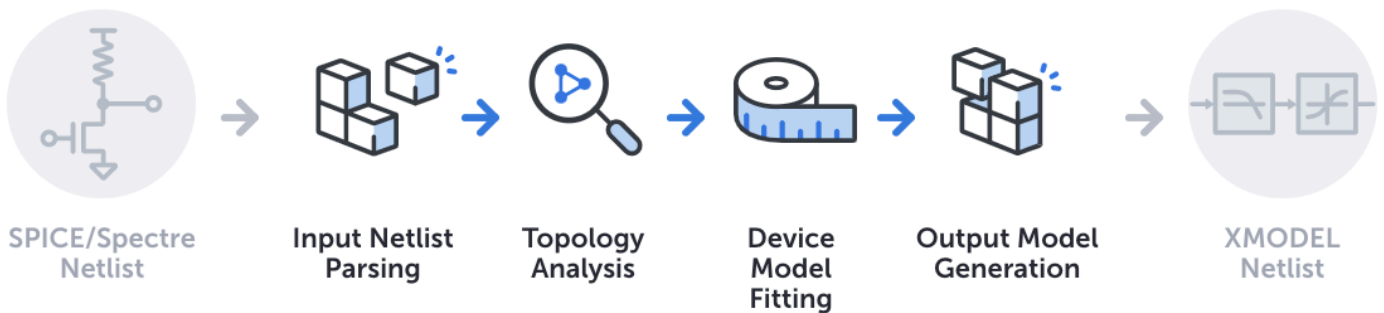
B. 구분 (아날로그 회로로부터 SystemVerilog 모델의 자동생성)

MODELZEN은 이미 설계가 완료된 회로로부터 SystemVerilog 모델을 자동 생성할 수 있는 툴입니다. 생성되는 모델은 XMODEL의 primitive들과 SPICE 시뮬레이션을 통해 측정된 특성 값들에 기반해 아날로그 회로들의 다양한 동작과 특성들을 정확하게 표현합니다. 현장에서 사용되는 아날로그 회로들은 다양한 디지털 제어 신호들을 포함하고 있고, 이들의 동작을 실수 없이 표현한 모델을 직접 작성하는 일은 모델개발자들에게 큰 부담이 되어 왔습니다. MODELZEN의 가장 큰 강점은 임의의 회로로부터 정합성이 보장된 SystemVerilog 모델을 회로 수준 또는 동작 수준의 모델 형태로 자동 생성할 수 있다는 것입니다.

C. Supported platform and O/S System

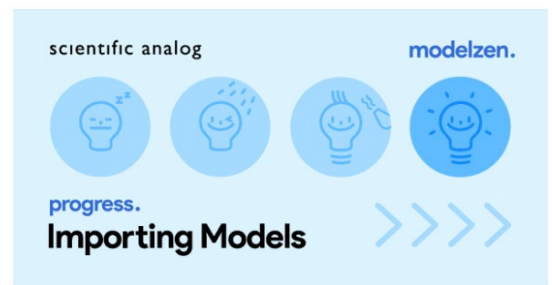
- Linux RedHat Enterprise 64-bit Release 6.0 이상
- Synopsys HSPICE, FineSim 또는 Cadence Spectre

D. 특성 및 기능



정합성이 보장되는 아날로그 모델의 자동 생성

기본적으로 MODELZEN은 XMODEL의 회로 시뮬레이션 기능을 활용하여 주어진 회로의 구조적 모델(structural model)을 생성합니다. 즉, MODELZEN은 회로를 구성하는 개별 소자들의 특성을 파악하여 그에 해당하는 모델을 생성한 후, 그 소자단위의 모델들을 기존 회로의 연결상태 그대로 연결한 회로 모델을 생성합니다. 이러한 방법의 장점은 대상 회로에 대한 전문적인 지식이 없어도 항상 정확한 동작을 하는 모델을 쉽게 생성할 수 있다는 것입니다. 또한 생성된 모델들은 XMODEL의 event-driven 시뮬레이션 방식에 의해 SystemVerilog 상에서 빠르게 실행됩니다.





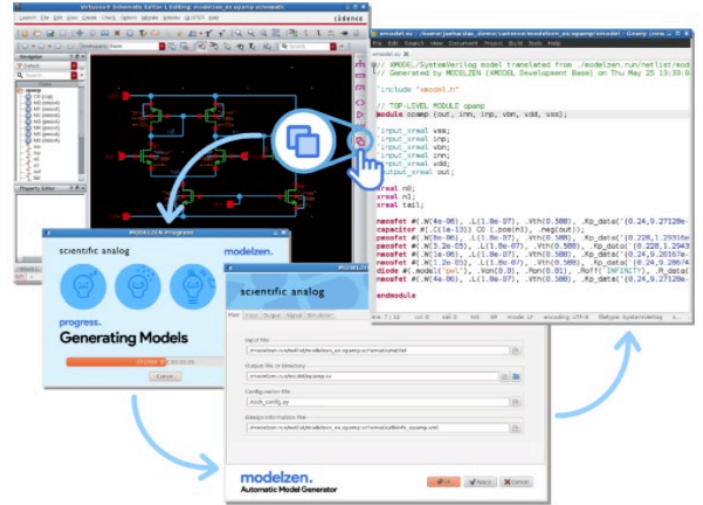
아날로그 전문지식이 없이도 가능한 모델 생성

MODELZEN을 사용하면 아날로그 전문가가 아니더라도 정확도 높은 SystemVerilog 모델을 쉽게 생성할 수 있습니다. MODELZEN의 구조적 모델링 방법은 주로 디지털 배경지식이 풍부한 검증 엔지니어들이 아날로그 회로 설계자에게 도움을 청하지 않고도 시스템 수준 검증을 위한 아날로그 회로 모델을 직접 생성할 수 있게 해줍니다. 또한, 회로 설계자도 회로가 변경될 때마다 그에 맞게 모델을 자동 업데이트 할 수 있어 편리합니다.



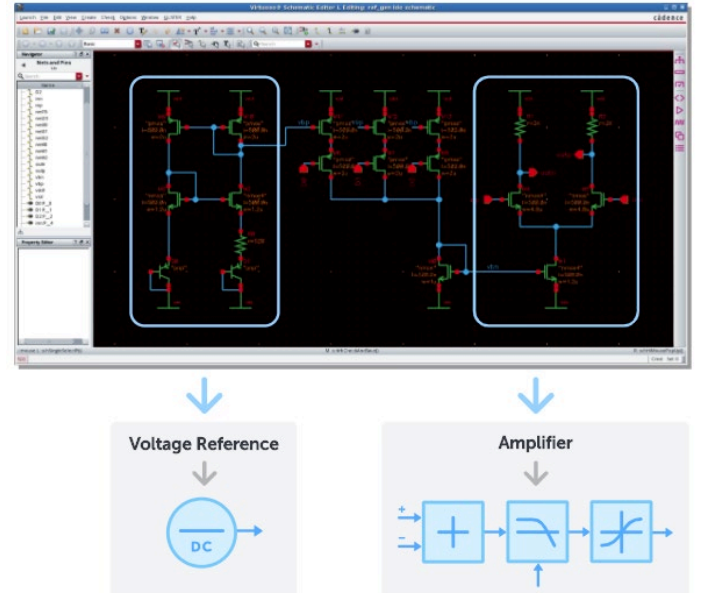
마우스 클릭 한번으로 생성되는 모델!

GLISTER와 함께 MODELZEN을 사용하면 Cadence Virtuoso Schematic Editor상에서 마우스를 단 한번 클릭하는 것만으로도 모델을 자동 생성할 수 있어 더욱 편리합니다. GLISTER는 모델 생성을 위해 netlist 생성 및 속성 추출 등의 준비단계를 자동으로 수행하고, MODELZEN이 생성한 모델을 다시 Cadence database로 import하는 역할을 수행합니다.



User-Defined Models (UDM)을 이용한 Functional 모델 생성

MODELZEN은 회로 수준의 모델 뿐만 아니라, 보다 빠른 시뮬레이션이 가능한 상위 수준의 모델도 생성할 수 있습니다. MODELZEN의 새로운 user-defined model(UDM) 인터페이스를 통해 회로의 일정 부분을 선택해 이를 맞춤형 functional 모델로 생성할 수 있으며 그 모델에 필요한 파라미터 값들을 SPICE 시뮬레이션으로 자동추출 할 수 있습니다. 지금까지 수작업으로 bottom-up 모델을 생성해왔다면, UDM 인터페이스는 모델링에 필요한 전문지식을 스크립트 형태로 보존하고, 모델 생성을 자동화할 수 있는 아주 좋은 방법이 될 것입니다.



scientific analog

회사명 : Scientific Analog

웹페이지 : www.scianalog.com

이메일 : info@scianalog.com

support@scianalog.com