

2023 IEEE VLSI Review

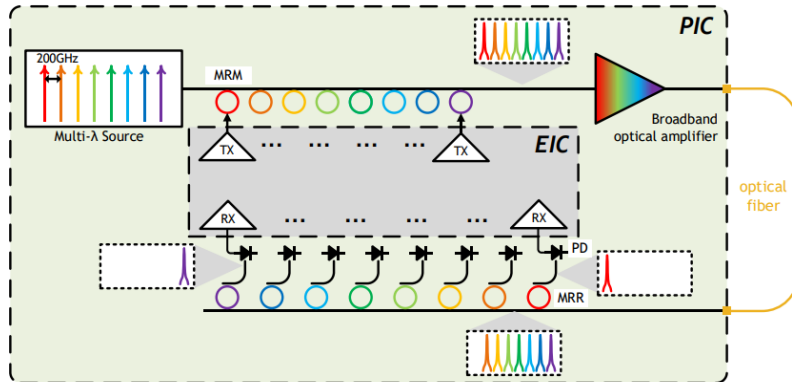
고려대학교 반도체시스템공학과 박사과정 김현진

Session 6 high-Speed Links

이번 2023 VLSI의 session 6은 High-Speed Links라는 주제로 총 5편의 논문이 발표되었다. 이 세션에서는 high-speed인 2 편의 transmitter, 2 편의 optical 그리고 1편의 CDR에 관한 내용을 다루었다. 본 세션은 기존 기술들이 가지는 문제점들을 해결하는 것을 목표로 새로운 회로 기술을 사용하여 기존 보다 BW를 늘려 high-speed로 동작할 수 있는 것에 초점을 두었다.

#6-1 은 112 Gb/s 58 mW PAM4 Transmitter를 제안하는 논문이다. 이 논문에서는 채널과의 reflection을 줄이는 역할을 하는 저항을 없앤 output driver, latch 없는 3-tap FFE, differential 구조의 skew를 보상하는 회로를 제안하였다. 56 GHz integer-N 위상 고정 루프를 사용하여 Half-rate 를 사용하는데 이는 Quarter-rate 구조에 비해 4-phase 간의 skew 에 대한 염려를 덜고 LC 위상 고정 루프의 속도가 빨라짐에 따라 L의 크기가 작아도 되는 용이함을 가지고있다. PAM4 Transmitter의 주요 spec인 output swing 크기와 레벨 간의 비율인 RLM 은 0.8 Vpp,d 와 96% 이다. T-coil을 사용하여 ESD cap을 isolation시켰고 LDO를 사용하여 저항 없이도 채널과의 impedance matching을 하였다. Latch없이 Inverter를 사용하여 delay를 구현하여 feed-forward equalizer 를 구현하였는데 이는 power 소모를 줄일 수는 있지만 data rate 에 따라 delay가 달라져 equalization의 효과를 정례화 할 수 없는 단점을 갖고 있다. 결과론적으로 28 nm CMOS planar 공정을 사용하여 112 Gb/s라는 높은 데이터 속도의 Transmitter 를 58 mW라는 적은 power 소모로 구현하였고, 측정결과 또한 분명한 eye-margin을 보여준다.

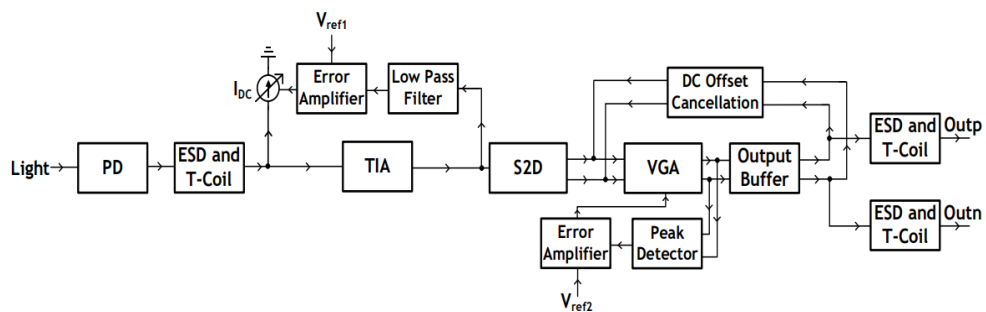
#6-2



<8-channel DWDM optical XCVR 구조>

본 논문은 XPU/switch packages에 통합 가능한 256 Gb/s 3D 실리콘 포토닉 수신기를 제시한다. 작은 공간으로 dense wavelength division multiplexing (DWDM)를 가능케 하는 photonic IC(PIC)가 포함되어 있다. 또한 28nm CMOS 전자 IC에는 8개의 SerDes 채널과 제어 기능이 포함되었다. 본 논문에서는 데이터 센터의 대역폭 병목 현상을 완화하기 위해 실리콘 포토닉 (XCVRs)가 중요하다고 언급하고 있다. 또한 광학 I/O를 switch/XPU/FPGA 패키지에 통합함으로써 전력 효율성을 개선할 수 있으며, micro-ring resonators (MRRs)를 사용하여 DWDM를 구현하였다. 결과적으로 본 논문은 2배 높은 대역폭과 더 높은 baud rate를 제공하는 MRR 기반 DWDM 수신기를 제시하였다. 또한 광포토닉 통합 수준이 높은 플랫폼을 사용하여 구현하였다. PIC에는 필수 구성 요소와 함께 electronic IC(EIC)가 적층되어 있어 시스템의 효율성과 고성능을 실현한다.

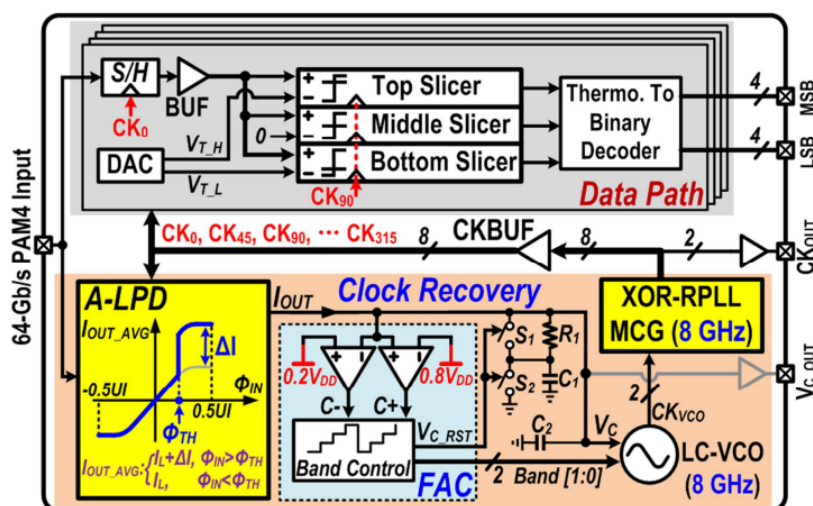
#6-3



<제안한 RX Front-End 구조>

본 논문은 0.32pJ/b의 에너지 효율성을 가진 90Gbps PAM4 광 수신기 (RX) 전달부를 소개한다. 논문은 새로운 transimpedance amplifier (TIA)와 single-ended-to-differential (S2D) 블록을 활용한 설계를 제시하며, 12nm CMOS FinFET 공정에서 구현하였다. 이 RX 전달부는 최고의 에너지 효율성, 입력 관련 노이즈, 그리고 성능 지수(FOM)를 제공하여 이전 최첨단 설계들과 비교했을 때 우수한 결과를 보여준다. 현재 CMOS 실리콘 포토닉스 구현은 전자와 광학을 통합하는 것이 주목받고 있으나, 높은 데이터 전송률에서 작동하는 저전력 및 적은 노이즈 수신기 회로 설계는 여전히 과제이다. 특히 대역폭(BW), 이득 및 전력 간의 균형을 맞추는 것이 어려운 문제인데, 제안된 설계에서는 새로운 TIA와 S2D 블록을 활용하여 문제를 해결한다. TIA 부분에서는 전방 경로에 인덕터를 사용하여 이득-BW 제품을 개선하고 최대 변압기 이득 (RF)을 완화하여 더 큰 RF를 허용하도록 한다. 이로 인해 입력 관련 노이즈를 줄이고 시스템의 전력 소비 및 면적을 감소시키며 목표 이득을 달성하기 위해 필요한 후속 이득 단계 수를 줄였다. 또한 S2D 부분에서는 입력 신호가 변환기의 게이트-소스 접합 부에 완전히 나타나도록 설계하여 이득을 증가시키고 더 작은 밀러 커패시턴스를 가진 더 큰 BW를 제공한다. 이를 통해 전력 효율성과 노이즈 성능을 최적화하며 최상의 성능을 달성하였다.

#6-4



<제안한 PAM4 CDR 구조>

본 논문은 PAM-4 수신기에서 Asymmetrical한 Linear Phase Detector (A-LPD)를 사

용하여, clock jitter를 줄이는 기술을 제안하였다. 종래의 bang-bang PD 구조는 간단하지만, 1bit으로만 early와 late을 구분하기 때문에 clock jitter의 성능을 악화시킨다. Linear PD의 이용은 하드웨어의 복잡성이 늘어나지만 clock jitter의 성능을 개선시킬 수 있는 접근법이고, 제안한 A-LPD는 PAM-4의 모든 transition 경우의 수인 12가지를 모두 sensing하여 clock jitter를 줄일 수 있었다. 또한 A-LPD는 frequency locking에도 이용되므로, reference-less 동작을 수행할 수 있는 장점을 갖는다. 결과적으로, 40 nm CMOS 공정에서 64 Gb/s의 빠른 속도 구현하였고, 231.5 fs의 가장 좋은 clock jitter 성능과 0.21 pJ/b의 에너지효율을 달성할 수 있었다.

#6-5

본 논문은 22nm FinFET 공정을 사용한 50Gb/s DAC 기반 다중 캐리어 극성 변조 송신기를 다룬다. 이 기술은 다양한 변조 형식을 지원하며, 3개의 병렬 5GS/s 출력 드라이버를 사용하여 총 50Gb/s 데이터 전송률을 달성한다. 이 기술은 baseband(BB) PAM-4 및 mid-band (MB) 및 high-band (HB) 16상태 복소 변조에 대응하며, DSP를 사용하여 FIR 필터링과 사전 왜곡을 수행한다. 이를 22nm FinFET 공정으로 제작된 송신기에 적용하여 50Gb/s 전송률과 낮은 에너지 소비를 달성하였다. 본 논문은 clock jitter로 인한 성능 저하를 문제점으로 제시하여 해결책으로 다중 캐리어 신호를 활용하며, 각각 다른 주파수 대역에 있는 독립적인 데이터 스트림을 활용한다. 이전 다중 캐리어 송신기에 비해 더 높은 데이터 전송률과 복잡한 변조 형식을 지원하고 실제로 실험으로 구현한 결과를 제시하며, 이 기술이 더 나은 고속 통신 시스템 개발에 기여할 것으로 기대할 수 있다.

저자정보



명예기자 김현진

- 소속 : 고려대학교 반도체시스템공학과 박사과정
 - 연구분야 : Integrated Circuits
 - 이메일 : jamespul@korea.ac.kr
 - 홈페이지 : <https://kilby.korea.ac.kr>
-