

Blue Pearl Software 사 Visual Verification Suite

A. 목적 : (RTL 코드 디버깅) Blue Pearl의 Visual Verification Suite는 RTL 구조 검증, CDC 분석 및 디버그를 위한 통합 솔루션입니다.

B. 구분 : (RTL Lint, CDC and SDC 자동 생성) Blue Pearl의 Visual Verification Suite는 ASIC, FPGA 및 IP에 대한 RTL (Register Transfer Level) 디자인을 검증하고 디버깅하는 EDA 소프트웨어 제품군입니다.

C. Supported platform and O/S System: The supported platforms are Linux (RedHat Enterprise v.5 and v.6, Centos 5.x & 6.x), and Windows (XP and Windows 7).

Visual Verification Suite 가 필요한 경우

A RTL code 작성시 검증

- 코딩이 끝날 때까지 기다리지 않고 코딩하면서 RTL을 깨끗하게 처리
- 통합 검증 환경은 빠르고 사용하기 쉽습니다.
- 레거시 코드의 이해 및 읽기 그리고 효율적인 코딩을 통한 복잡한 소스 코드 시각화
- 강력한 메시지 필터링 기능 - 잡음이 없습니다
- 포괄적인 통합 디버그 기능
- 디자인 반복을 대폭 감소시킵니다.

B RTL 디자인 성능 향상

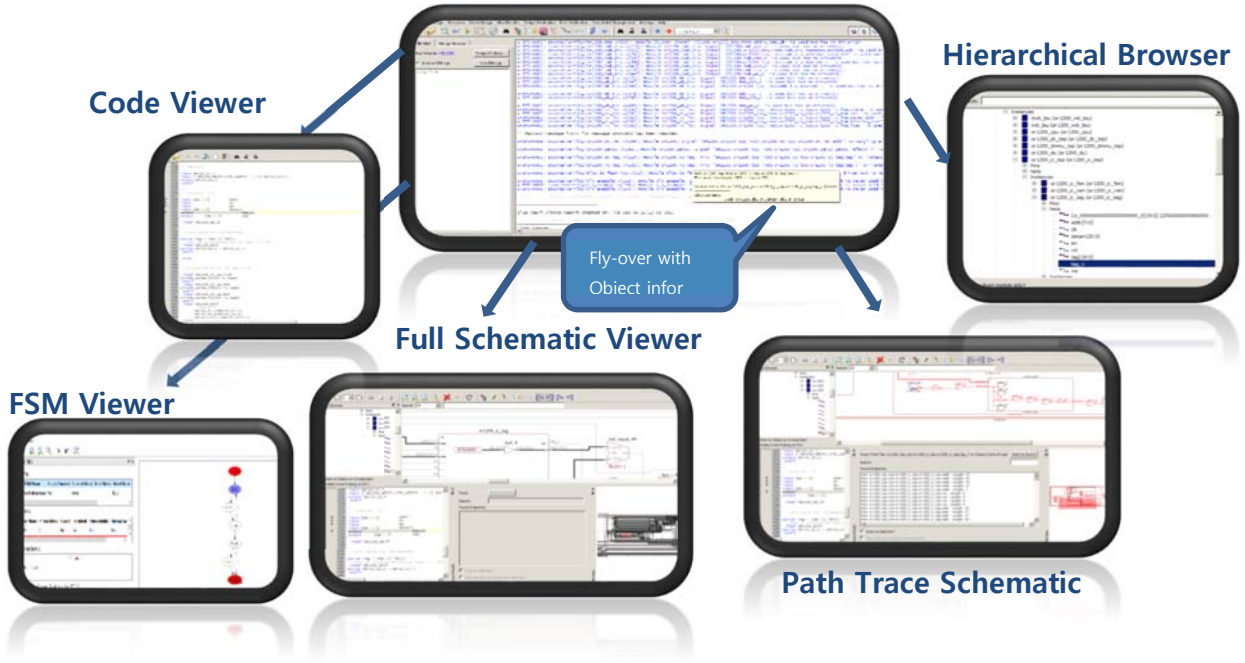
- 구조 분석 및 제약 조건 생성을 통한 타이밍 향상
- 더 깨끗한 RTL 코드로 더 나은 성능과 수율 제공

C 비싼 EDA 툴의 비용절감

- 합리적인 가격의 EDA 툴
- 고성능, RTL 코드 디버깅에 매우 효율적입니다.

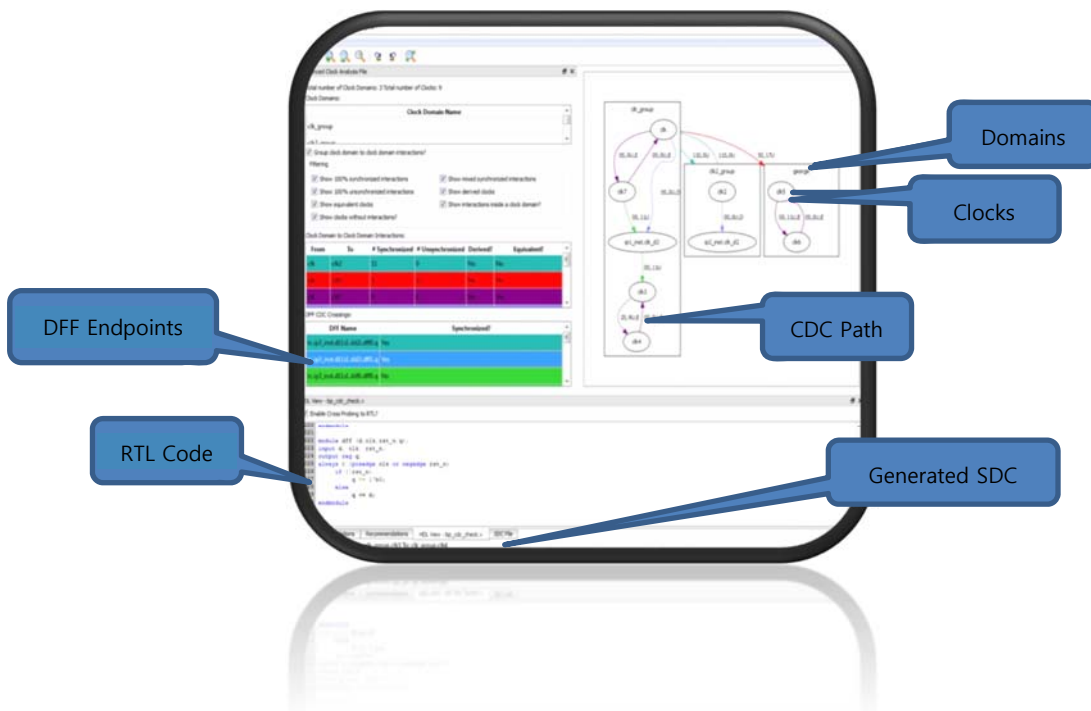
Visual Verification Suite 만의 특징적인 기능

- 1 통합적인 디버그 환경: 모든 설계의 객체를 설계 browser를 통해, 회로도 및 RTL을 교차 탐색할 수 있는 환경 제공



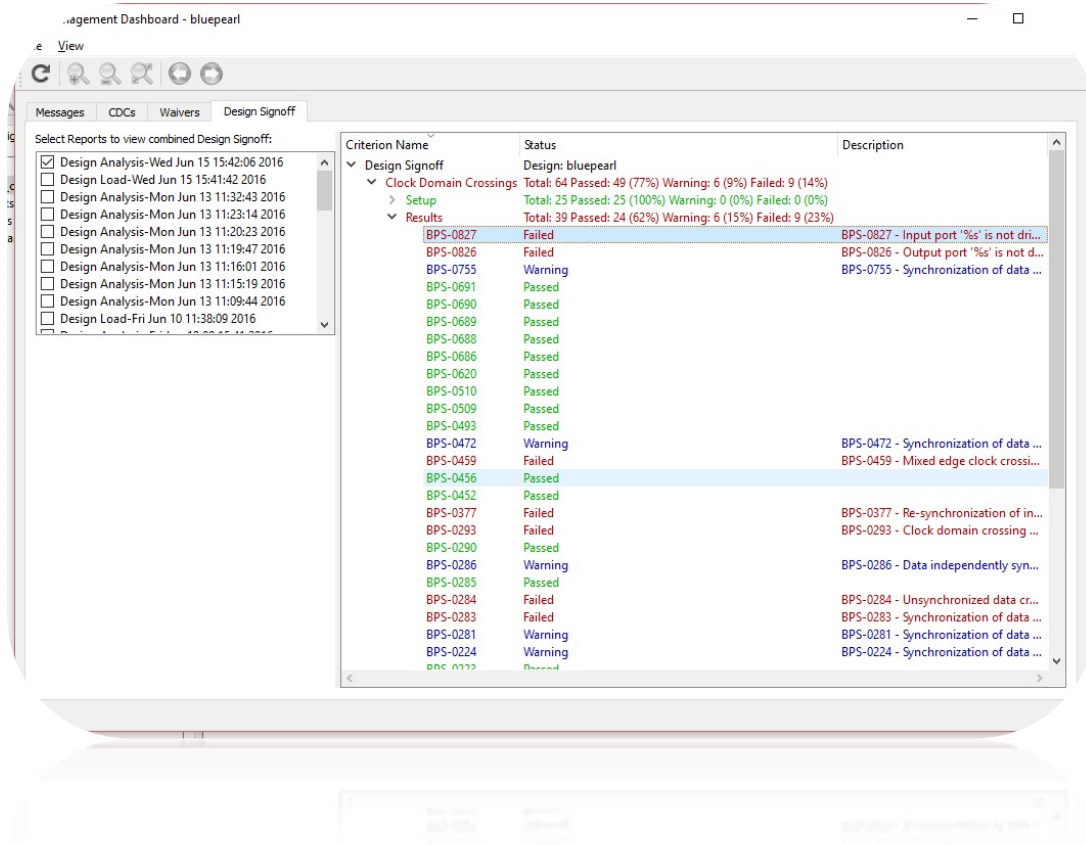
2 고급 Clock 환경:

- 클럭 및 도메인을 올바른 상태로 유지하는 데 도움을 줍니다.
- 앞선 CDC 분석
- 클럭 및 클럭 도메인의 그래픽 표현 제공
- 클럭 그룹화에 대한 권장 사항 제공
- CDC 분석 도구를 통해 사용할 SDC 템플릿 제공



- signoff 검증 확인
 - 분석이 올바르게 실행 되었나 ?
 - 결과는 정확히 나왔는가 ?
- 디자인 signoff 표준 및 우선 순위
 - 실패, 성공에 대한 검증 보고
 - 다양한 signoff 우선순위 허용
 - 통과/실패, 통과/경고/실패 등 결과 제공
- 고객사의 특정 DRC(Design rule checking) 에 맞게 사용자 정의 가능

Dashboard 을 통한 디자인 signoff 관리



Signoff Dashboard 을 통한 디자인 관리

Visual Verification Suite 구성 요소

1 RTL 검증

ASIC 및 FPGA는 메모리, 트랜시버, 써드 파티 (third party) IP 및 프로세서 코어 그리고 수백만 개의 게이트를 일상적으로 갖추고 있습니다. 실험 및 시뮬레이션을 통해 문제를 디버그하는 데 많은 시간과 비용이 소요될 수 있습니다. 디자이너는 문제를 신속하게 파악하여 시뮬레이션 전, 합성 전, 그리고 랩에 칩을 굽기 전에 문제를 신속하게 식별하여 디버그 및 검증 시간을 단축할 수 있는 검증 도구가 필요합니다.

특징

- ✓ EEE Verilog / System Verilog 및 VHDL 언어 사양 준수 및 구문 표준 검사
- ✓ STARC 및 Xilinx UltraFast와 함께 사용자 구성 가능 검사
- ✓ 디버그를 간소화 하기 위한 GUI; 통합 RTL, 회로도 및 메시지 뷰어
- ✓ 간편한 디버그 메시지 정렬 및 검출, 문제 식별을 위한 waive 기능
- ✓ 플로우 자동화, 명령 행 인터페이스 (CLI) 및 재사용 가능한 메시지 면제 파일
- ✓ 설치 마법사로 학습 시간 단축

설계문제를 빠르게 확인

시각적 검증 환경을 통해 Analytic RTL™ 사용자는 지능형 정렬 및 메시지 필터링을 사용하여 신속하게 설계 문제를 디버그 할 수 있습니다. 주요 기능으로는 저소음, 특정 디자인 스타일에 대한 사용자 정의 확인, 쉬운 설정 및 waiver 재사용 등이 있습니다.

HDL Creator™

HDL Creator는 생산성, 예측 가능성 및 코드 품질을 원하는 RTL 및 테스트 벤치를 코딩하는 개발자에게 이상적인 스마트 에디터입니다. HDL Creator는 직관적이고 사용하기 쉬운 고급 기능보기의 편집기를 통해 실시간 구문 및 스타일 코드 검사를 제공하여 코드 작성시 이해, 디버그 및 검증 할 수 있는 기능을 제공합니다.

중요 혜택

- ✓ 코드 개발을 빠르게 할 수 있음
- ✓ 복잡한 소스 코드의 시각화를 통한 레거시 코드의 효율적인 코딩, 읽기 및 이해 하는데 도움을 줌.
- ✓ 확실하게 고품질의 코드를 개발 할 수 있음.
- ✓ 후속 개발을 간소화 할 수 있음.

기능

- ✓ 들여 쓰기 차단 (탭 또는 공백으로 설정)
- ✓ 새 줄 자동 들여 쓰기
- ✓ 접기 (코드 블록 숨기기 또는보기)
- ✓ 자동 완성

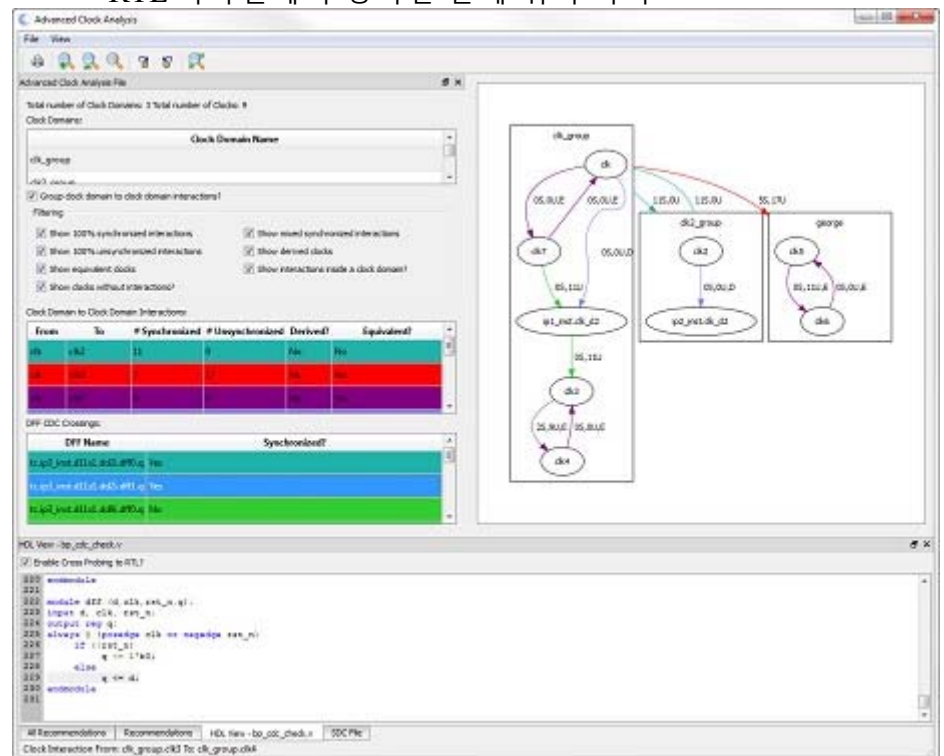
- ✓ 구문 강조
- ✓ Brace matching
- ✓ 블럭 댓글 (여러 스타일)
- ✓ line end 스타일 선택
- ✓ 그래픽 보기
- ✓ 현재 파일의 자동 분석 - 구문 문제 표시
- ✓ 실시간 구문 및 코딩 스타일 검사
- ✓ 실시간 분석을 위해 70 개 이상의 "로드 검사"를 활성화 할 수 있습니다
- ✓ 2000 라인 이상의 Verilog 및 VHDL의 parsing 분석 관련 메세지 제공 .
- ✓ 프로젝트 및 비 프로젝트 모드 에서 사용 가능
- ✓ PDF 문서로 생성이 가능
- ✓ 시뮬레이터와의 결합 및 후속 디자인 분석에 도움을 드림

2 Advanced Clock Environment (ACE)

Blue Pearl Software의 ACE는 RTL 디자인에서 클럭 및 비동기 클럭 도메인 크로싱을 시각화하는 기능을 제공하여 사용자가 CDC 준안정성 (metastability)을 분석 할 수 있도록 도움을 드리고 있습니다.

주요 기능

- ✓ clock, clock group 그리고 clock 간 상호관계에 대한 상세한 분석
- ✓ 빠른 디버깅을 위한 비주얼 디스플레이 필터링
- ✓ RTL 디자인에서 정확한 문제 위치 파악



3 CDC Analysis

칩의 복잡성이 증가함에 따라 설계자는 시장 진입 시간, 고성능 및 저전력 요구 사항을 해결하기 위해 첨단 멀티 클럭 기술 및 IP 통합에 점점 더 의존하고 있습니다. **Analyze Plus**는 이러한 주요 문제를 해결하기 위해 전체 칩 클럭 도메인 교차 (CDC), 최장 경로를 위한 사전 합성 및 **Grey Cell**(BPS's IP)방법론을 제공합니다.

기능

- ✓ GUI 또는 batch mode(Tcl base) 에 의한 CDC 분석
- ✓ 다양한 시나리오에도 쉽게 CDC 분석을 수행 할 수 있음.
- ✓ 특정 clock group check을 통한 쉬운 설정
- ✓ 전체 TCL parser 을 통해 이미 설정된 clock 과 domain 을 읽어 냄.
- ✓ clock의 상호 연관성을 확인 하여 상호 교차하는 clock 의 동기화 문제를 인식 할 수 있음.
- ✓ Clock Domain Crossing Analysis Types:
 - Missing synchronizers
 - Re-converging nets
 - Combinational logic in synchronizers
 - Combinational logic before synchronizers

쉬운 설정

Blue Pearl eases design set up with automatic Clock and reset identification, SDC input of Domain information, understanding of clock generator blocks to propagate clocks and our advanced clock interaction diagram.

Blue Pearl은 자동 클럭 및 리셋 식별, 도메인 정보의 SDC 입력, 클럭 생성기 블록의 propagate clocks 대한 이해 그리고 클럭 상호 작용 다이어그램으로 구성되어 있어 쉽게 설정을 할 수 있습니다.

4 자동 SDC 생성

RTL 설명에서 false 및 multi-cycle path를 식별하고 검증을 위한 SVA 또는 PSL assertions의 구현을 위한 SDC을 작성합니다. SDC 생성은 iteration을 줄여 timing closing를 더 빨리 달성하고 설계 위험을 최소화 할 수 있습니다.

기능

- ✓ 빠른 FSM 검증 및 behavior analysis 의 제어
- ✓ false and multi-cycle paths 의 순차적 분석
- ✓ 다음과 같은 타이밍 예외 조건 생성:
 - 클럭 도메인을 교차하는 신호의 신호를 대문자로 표시
 - 리셋 및 제한된 신호
 - 레지스터 구성
 - Functional false paths (FPs)
 - Multicycle paths (MCPs)
 - 순환 신호가 블록 포트에서 분리되는 블록 레벨 MCP
- ✓ 서로 다른 SDC file의 제약 조건 비교
- ✓ block 레벨의 timing constraints 을 top-level constraints 로 반영 사용

할 수 있음.

Accelerates Timing Closure

Blue Pearl의 SDC는 자동으로 타이밍 예외, 즉 잘못된 경로와 다중 사이클 경로를 찾아 주고 해당 정보를 implementation tools에 제공합니다. Timing closure에 도움이 되는 다른 기능으로는 최대 팬아웃 확인, if-then-else depth 그리고 가장 긴 경로 (longest path) 기능이 있습니다.

5 설계 관리 Dashboard

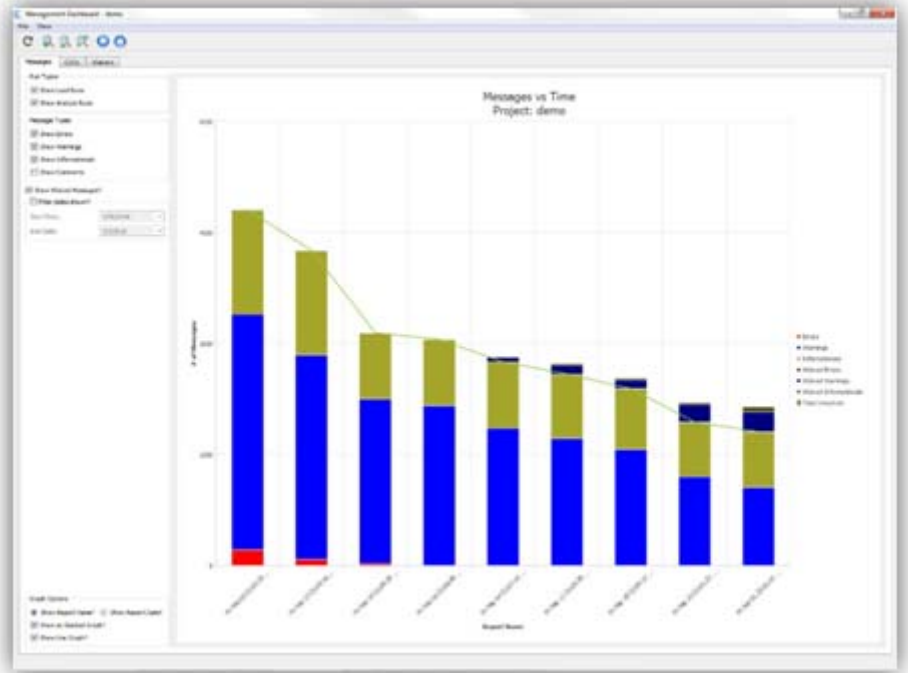
Blue Pearl Management Dashboard는 ASIC, FPGA 및 IP RTL 디자인 규칙 및 CDC 검사에 대하여 실시간으로 가시화 하여 보여 드리고 있어 설계 일정, 위험성 및 전반적인 설계 품질을 잘 평가 할 수 있도록 도움을 드리고 있습니다.

기능

- ✓ 매일 매일 waivers, CDC, log file message 등을 감시 함으로써 RTL 검증 경과를 실시간으로 보실 수 있도록 제공 하고 있습니다.
- ✓ 오류, 경고, 의견 및 정보를 생략하거나 표시하도록 보고서 사용자가 정의 할 수 있습니다.
- ✓ Interactive and batch mode서 작동하므로 개별 시스템 설계에 유용합니다
- ✓ Microsoft office 에서 문서 및 표준 보고서를 쉽게 만드실 수 있도록 데이터를 내 보낼수 있어 프로그램 업데이트 및 디자인 검토에 도움이 되실 수 있도록 해 드리고 있습니다.
- ✓ Windows 및 Linux 운영 체제 모두에서 실행됩니다.

Time and Risk Management

측정 할 수 없는 것은 관리 할 수 없습니다. 설계주기의 진행 상황을 시각적으로 파악하면 설계자와 관리자는 검증 진행 상황을 추적 및 모니터링 할 수 있습니다. 관리 대시 보드는 매일 진행 상황을 추적하고 실행되어 보다 정확한 일정 예측과 design cycle closing 에 드는 전체 비용을 추정 할수 있도록 도움을 드립니다. 프로젝트 상태에 대해 실시간 보여 드리고 있어 이를 통해 사용자는 수정된 사항, waiver 된 내용 및 아직 해결해야 할 사항을 볼 수 있습니다. GUI 및 Tcl 플로우 모두에 대해 보고서를 생성 할 수 있으며 Microsoft Office 도구로 쉽게 내보낼 수 있으므로 설계 검토를 위한 문서를 빠르고 쉽게 작성할 수 있습니다.



Blue Pearl Software

<http://www.bluepearlsoftware.com/>